

第 921248 號  
初審引證附件

中華民國專利公報 [19] [12]

[11]公告編號 459342

[44]中華民國 90年 (2001) 10月 11日

發明

全 35 頁

[51] Int.Cl 06: H01L21/768

[54]名 稱：具有銅配線層之半導體積體電路裝置及其製法

[21]申請案號： 087112907

[22]申請日期：中華民國 87年 (1998) 08月 05日

[30]優先權： [31]182813

[32]1998/06/29

[33]日本

[31]234236

[32]1997/08/29

[33]日本

[72]發明人：

齋藤達之

日本

野口純司

日本

毛林瓊安芬利

美國

大和田伸郎

日本

[71]申請人：

日立製作所股份有限公司

日本

[74]代理人： 林志剛 先生

1

2

[57]申請專利範圍：

1. 一種半導體積體電路裝置之製法，其特徵為具有：

(a) 在上述半導體基板上層之絕緣膜開連接孔，及

(b) 在上述絕緣膜上，埋入上述連接孔地形成連接用之導體膜，及

(c) 上述連接用之導體膜之形成製程後，對於上述連接用之導體膜施以平坦化處理，介經除去連接孔內以外之連接用的導體膜，在上述連接孔內形成連接用導體部，及

(d) 在形成上述連接用導體部後之絕緣膜的配線形成領域形成配線用溝，及

(e) 在上述絕緣膜上，埋入上述配線用溝地形成配線用之導體膜，及

(f) 上述配線用之導體膜之形成製程後，對於上述配線用之導體膜施以平坦化處理，介經除去配線用溝以外之配線用之導體膜，在上述配線用溝形成埋入配線。

2. 如申請專利範圍第 1 項所述的半導體積體電路裝置之製法，其中，在上述連接用之導體膜的形成製程中，具有

(a) 藉由濺射法形成構成上述連接用之導體膜之較薄導體膜的製程，及

(b) 在上述較薄導體膜上，藉由 CVD 法形成構成上述連接用之導體膜之較厚導體膜的製程。

3. 如申請專利範圍第 1 項所述的半導體積體電路裝置之製法，其中，在上述連接用之導體膜的形成製程中，具有藉由選擇 CVD 法形成構成上述連接用之導體膜之較厚導體膜的製程者。

4. 如申請專利範圍第 1 項、第 2 項或第 3 項中任何一項所述的半導體積體電路裝置之製法，其中，上述配線用之導體膜由銅或銅合金所構成，以濺射法形成該導體膜時，具有在上述配線用之導體膜的平坦化處理製程後施加熱處理之製程者。

- 5.如申請專利範圍第1項、第2項或第3項中任何一項所述的半導體積體電路裝置之製法，其中，上述配線用之導體膜由銅或銅合金所構成，以CVD法或電鍍法形成該導體膜時，具有在上述配線用之導體膜的形成製程或平坦化處理製程之至少一方的製程後施加熱處理的製程者。
- 6.一種半導體積體電路裝置之製法，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置之製法，其特徵為：在形成於相同之埋入配線層之尺寸不同的配線用溝內埋入導體膜時，在上述尺寸不同之配線用溝內分別個別地埋入導體膜者。
- 7.如申請專利範圍第6項所述的半導體積體電路裝置之製法，其中，在上述不同尺寸之配線用溝中，相對地縱橫比小的配線用溝，藉由濺射法，CVD法或電鍍法埋入銅或銅合金所構成的較厚導體膜，而在相對地縱橫比大的配線用溝，具有藉由CVD法或電鍍法埋入鎢、鎢合金、鋁、鋁合金或鈦氮化物所構成之較厚導體膜的製程者。
- 8.一種半導體積體電路裝置之製法，其特徵為具有：
  - (a)在上述半導體基板上層之絕緣膜開配線用溝與連結孔，及
  - (b)在上述絕緣膜上，埋入上述配線用溝與連接孔地介經濺射法形成銅或銅合金所構成之導體膜，及
  - (c)對於上述銅或銅合金所構成的導體膜施以平坦化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜，及
  - (d)在上述銅或銅合金所構成之導體膜的平坦化處理製程後施以熱處理。
- 9.一種半導體積體電路裝置之製法，其特徵為具有：

- (a)在上述半導體基板上層之絕緣膜開配線用溝與連結孔，及
- (b)在上述絕緣膜上，埋入上述配線用溝與連接孔地介經PVD法或CVD法或電鍍法或此等之組合形成銅或銅合金所構成之導體膜，及
- (c)對於上述銅或銅合金所構成的導體膜施以平坦化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜，及
- (d)在上述銅或銅合金所構成之導體膜的形成製程或平坦化處理製程之至少一方的處理製程後施以熱處理。
- 10.一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為具有：埋入於電氣式地連接上述埋入配線與其下層之配線的連接孔內的連接用導體部突出於上述埋入配線中的構造者。
- 11.如申請專利範圍第10項所述的半導體積體電路裝置，其中，上述埋入配線係銅或銅合金所構成，上述連接用導體部係銅，銅合金，鋁，鋁合金，鎢，鎢合金或鈦氮化物中之至少一種所構成者。
- 12.一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為具有：將連接比上述配線層中之所定埋入配線的配線層更上層的配線及比上述所定埋入配線的配線層更下層的配線的連接孔，設成貫穿上述所定埋入配線之配線層，並將上述上層之配線與下層之配線，不必經由埋入配線，經設於上述連接孔內之連接用導體部電氣式地連接的構造者。
- 13.一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的

半導體積體電路裝置，其特徵為：在相同埋入配線層，設有以不同導體材料所構成的配線構成部者。

14. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：將以銅系之導電材料所構成之上述埋入配線及半導體基板所接觸之剖分的配線材料，以鎢、鎢合金、鋁、鋁合金或鈦氮化物所構成者。
15. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：將上述配線層中之最上配線層的配線材料以鋁或鋁合金所構成，將位於其下層之配線中之至少一配線層的埋入配線以銅或銅合金所構成者。
16. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：將配線與半導體基板所接觸部分的配線材料以鎢、鎢合金、鋁或鋁合金所構成；將最上配線層的配線材料以鋁以鋁合金所構成，將位於最上配線層及最下配線層之間的配線層中之至少一配線層的配線以銅或銅合金所構成者。
17. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：在連接鋁或鋁合金所構成之配線，及銅或銅合金所構成的配線時，在此等接合部介裝阻障導體膜者。
18. 一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為：在電氣式地連接比上述配線層中之所定埋入配線層更上層的配線與比上述所定之埋入配線之配線層更下層的配線時，具備將設置於從上述上層之配線延伸至上述所定埋入配線之配線層之

連接孔內的連接用導體部，及設置於從上述下層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，經由設置於上述所定埋入配線之配線層之連接用溝內的中繼用連接用導體部電氣式連接之構造，上述中繼用連接用導體部係至少其所定之埋入配線延伸方向的長度，形成比上述連接孔之上述配線延伸方向的長度較長者。

5. 19. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：以銅系材料所構成的第 1 配線層；
10. 15. 形成於比上述第 1 配線層更上層，且以鋁系材料所構成的第 2 配線層，及形成於比上述第 1 配線層更下層，且以銅系材料所構成的第 3 配線層。
20. 20. 如申請專利範圍第 19 項所述的半導體積體電路裝置，其中，上述第 1 配線層與上述第 2 配線層係經由阻障導體膜電氣式地連接者。
25. 21. 如申請專利範圍第 19 項或第 20 項所述的半導體積體電路裝置，其中，上述第 2 配線層係電氣式地連接於搭接線端或隆起電極者。
30. 22. 如申請專利範圍第 19 項或第 20 項所述的半導體積體電路裝置，其中，上述第 3 配線層係以鎢系導電材料所構成者。
35. 23. 如申請專利範圍第 17 項所述的半導體積體電路裝置，其中，上述阻障導體膜係埋入在形成於層間絕緣膜之連接孔內所形成者。
40. 24. 如申請專利範圍第 23 項所述的半導體積體電路裝置，其中，上述阻障導體膜係以鎢系導電材料所構成者。
25. 25. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：

- 具有向第 1 方向延伸所構成之第 1 配線的第 1 配線層；  
 形成於比上述第 1 配線層更上層，且具有向垂直於上述第 1 方向之第 2 方向延伸所構成之第 2 配線的第 2 配線層，及  
 形成於比上述第 2 配線層更上層，且具有向上述第 1 方向延伸所構成的第 3 配線的第 3 配線層；  
 上述第 2 配線層係包含電氣式地連接上述第 1 配線與上述第 2 配線的連接用導體部；  
 上述連接用導體部之第 2 方向的長度，係比上述連接用導體部之第 1 方向的長度構成較長者。
26. 如申請專利範圍第 25 項所述的半導體積體電路裝置，其中，上述連接用導體部之第 2 方向的長度係以上述連接用導體部之第 1 方向的長度之兩倍以下所構成者。
27. 如申請專利範圍第 25 項或第 26 項所述的半導體積體電路裝置，其中，第 1 層間絕緣膜形成於上述第 1 配線層與第 2 配線層之間；第 2 層間絕緣膜形成於上述第 2 配線層與第 3 配線層之間；上述第 2 配線層之配線寬度與上述連接用導體部之第 1 方向的長度係構成大約相等者。
28. 一種半導體積體電路裝置，其特徵為：  
 電晶體構成在半導體基板，  
 具有連接孔之第 1 絕緣膜形成覆蓋上述電晶體，  
 第 1 配線係形成於上述第 1 絕緣膜上，且經上述連接孔電氣式地連接於上述電晶體。  
 第 2 配線係經由第 1 層間絕緣膜形成於上述第 1 配線之上部，  
 上述第 1 配線係作為主成分包含錫，  
 上述第 2 配線係作為主成分包含銅。

29. 如申請專利範圍第 28 項所述的半導體積體電路裝置，其中，  
 上述第 1 配線係經由連接用導體部電氣式地連接於上述電晶體，  
 上述連接用導體部係作為主成分包含錫。
30. 如申請專利範圍第 29 項所述的半導體積體電路裝置，其中，  
 上述連接用導體部與第 1 配線係一體地形成者。
31. 如申請專利範圍第 28 項所述的半導體積體電路裝置，其中，  
 在形成於上述第 1 層間絕緣膜之連接孔形成一連接用導體部，  
 上述連接用導體部與第 2 配線係一體地形成者。
32. 如申請專利範圍第 28、29、30 或 31 項中任何一項所述的半導體積體電路裝置，其中，  
 第 3 配線係經由第 2 層間絕緣膜形成於上述第 2 配線之上部，  
 上述第 3 配線係作為主成分包含鋁者。
33. 如申請專利範圍第 28、29、30 或 31 項中任何一項所述的半導體積體電路裝置，其中，  
 第 3 配線係經由第 2 層間絕緣膜形成於上述第 2 配線之上部，  
 具有露出上述第 3 配線之開口部的表面保護膜形成於上述第 3 配線，  
 搭接線電氣式地連接於上述第 3 配線，  
 上述第 3 配線係作為主成分包含鋁者。
34. 如申請專利範圍第 28、29、30 或 31 項中任何一項所述的半導體積體電路裝置，其中，  
 第 3 配線係經由第 2 層間絕緣膜形成於上述第 2 配線之上部，  
 具有開口部的保護膜形成於上述第 3



- 配線上，  
隆起電極係經由上述開口部電氣式地連接於上述第 3 配線。  
上述第 3 配線係作為主成分包含鋁者。
35. 如申請專利範圍第 34 項所述之半導體積體電路裝置，其中，  
隆起電極經由形成於上述第 2 層間絕緣膜上之阻障金屬電氣式地連接於上述第 3 配線。
36. 如申請專利範圍第 34 項所述之半導體積體電路裝置，其中，  
上述隆起電極係以金隆起接點所構成者。
37. 如申請專利範圍第 34 項所述之半導體積體電路裝置，其中，  
上述隆起電極係以焊料隆起接點所構成者。
38. 一種半導體積體電路裝置，其特徵為：  
電晶體構成在半導體基板，  
第 1 配線係經由第 1 層間絕緣膜形成於上述電晶體上，  
第 2 配線係經由第 2 層間絕緣膜形成於上述電晶體上，  
表面保護膜係形成於上述第 2 配線上，  
上述第 1 配線係作為主成分包含銅，  
上述第 2 配線係作為主成分包含鋁。
39. 如申請專利範圍第 38 項所述之半導體積體電路裝置，其中，  
上述表面保護膜係包括氮矽膜，  
上述第 2 配線係包括阻障金屬膜及以上阻障金屬膜上之鋁包含作為主成分的厚導體膜。
40. 如申請專利範圍第 38 項或第 39 項所述之半導體積體電路裝置，其中，  
隆起電極係經由形成於上述表面保護膜之開口部電氣式地連接於上述第 2 配線。

41. 如申請專利範圍第 40 項所述之半導體積體電路裝置，其中，  
隆起電極經由形成於上述表面保護膜上之阻障金屬電氣式地連接於上述第 2 配線。
5. 42. 如申請專利範圍第 40 項所述之半導體積體電路裝置，其中，  
上述隆起電極係以金隆起接點所構成者。
10. 43. 如申請專利範圍第 40 項所述之半導體積體電路裝置，其中，  
上述隆起電極係以焊料隆起接點所構成者。
15. 44. 如申請專利範圍第 38 或第 39 項所述之半導體積體電路裝置，其中，  
上述表面保護膜係具有露出上述配線的開口部，  
搭接線係電氣式地連接於上述第 2 配線者。
20. 45. 如申請專利範圍第 38 項或第 39 項所述之半導體積體電路裝置，其中，  
第 3 層間絕緣膜形成於上述電晶體與上述第 1 層間絕緣膜之間，  
第 3 配線係形成於上述第 3 層間絕緣膜，  
上述第 3 配線係電氣式地連接於上述電晶體，  
上述第 3 配線係作為主成分包含鎢。
25. 46. 如申請專利範圍第 45 項所述之半導體積體電路裝置，其中，  
上述第 1 配線係經由形成於上述第 1 層間絕緣膜之連接孔連接於上述第 3 配線。
30. 47. 如申請專利範圍第 45 項所述之半導體積體電路裝置，其中，  
上述第 3 配線係形成在形成於上述第 3 層間絕緣膜之溝部。
35. 48. 一種半導體積體電路裝置，其特徵為：  
第 1 層間絕緣膜係形成於半導體基板
- 40.

上，

連接孔與配線溝係形成於上述第 1 層間絕緣膜，

連接用導體部係形成於上述連接孔，

配線係形成於上述配線溝，

上述連接用導體部之上面高度係與上述配線之高度大約相等。

49.如申請專利範圍第 48 項所述之半導體積體電路裝置，其中，構成上述連接用導體部之主成分的金屬，及構成上述配線之主成分的金屬係以不相同之材料所構成。

50.如申請專利範圍第 48 項所述之半導體積體電路裝置，其中，

上述配線係作為主成分包含銅，

上述連接用導體部係作為主成分包含鋁或鎢。

51.如申請專利範圍第 48、49 或 50 項中任何一項所述之半導體積體電路裝置，其中，

第 2 層間絕緣膜係形成於上述第 1 層間絕緣膜，

上述第 2 層間絕緣膜係具有形成於連接孔的連接用導體部及形成於配線溝的配線，

上述連接用導體部之上面高度係與上述配線之高度大約相等。

52.一種半導體積體電路裝置之製法，其特徵為具有：

準備連接用導體部形成於連接孔之第 1 層間絕緣膜之製程，及

在上述第 1 層間絕緣膜形成配線溝的製程，及

在上述配線溝埋入配線的製程。

53.如申請專利範圍第 52 項所述之半導體積體電路裝置之製法，其中，構成上述連接用導體部之主成分的金屬，及構成上述配線之主成分的金屬係以不相同之材料所構成。

54.如申請專利範圍第 52 項所述之半導體

積體電路裝置之製法，其中，

上述連接用導體部係作為主成分包含鋁或鎢，

上述配線係作為主成分包含銅。

5. 55.如申請專利範圍第 52 項所述之半導體積體電路裝置之製法，其中，上述配線係具有阻障金屬膜，及形成於上述阻障金屬膜上，且以與構成上述連接用導體部之主成分之金屬不相同之材料所構成的金屬膜。

10. 56.如申請專利範圍第 52、53、54 或 55 項中任何一項所述之半導體積體電路裝置之製法，其中，又具有：

在上述第 1 層間絕緣膜上，準備連接用導體部形成於連接孔之第 2 層間絕緣膜的製程，及

15. 在上述第 2 層間絕緣膜形成配線溝的製程，及

在上述配線溝埋入配線的製程。

20. 57.如申請專利範圍第 52、53、54 或 55 項中任何一項所述之半導體積體電路裝置之製法，其中，又具有：

上述連接用導體部之上面高度係與上述配線之高度大約相等。

25. 58.一種半導體積體電路裝置，包含：

一第 1 絕緣膜被形成覆蓋在一半導體基板上；

一第 1 配線層被形成覆蓋在上述第 1 層間絕緣膜，且第 1 配線層具有一第 1 導體膜及一第 2 導體膜包含銅作為主要成分，且第 1 導體膜被插入在第 2 導體膜及上述第 1 絕緣膜之間，且第 1 導體膜具有一抑制銅擴散之作用；

一第 2 絕緣膜被形成覆蓋在上述第 1 配線膜上，且第 2 絕緣膜具有一抑制銅擴散之作用；

一第 3 絕緣膜被形成覆蓋在上述第 2 絕緣層上；

一第 2 配線層包含鋁作為一主要的成分且被形成覆蓋在上述第 3 絕緣層

40.

- 上；及
- 一連接用導體部被形成在上述第2絕緣層及第3絕緣層中，且接觸上述第1配線層及上述第2配線層，且此連接用導體部具有一抑制銅擴散之作用。
- 59.如申請專利範圍第58項之半導體積體電路裝置，其中，上述第2絕緣層包含一氮化物膜。
- 60.如申請專利範圍第58項之半導體積體電路裝置，其中，上述第1導體膜具有一厚度小於上述第2導體膜之厚度。
- 61.如申請專利範圍第58項之半導體積體電路裝置，其中，上述第1導體膜是由鎢、氮化鈦、鈦、鉭，氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。
- 62.如申請專利範圍第58項之半導體積體電路裝置，其中，上述連接用導體都是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。
- 63.如申請專利範圍第58項之半導體積體電路裝置，更進一步包含一鈍化膜覆蓋在上述第2配線層上。
- 64.如申請專利範圍第63項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一搭接線端經由一形成在上述鈍化膜中的連接孔。
- 65.如申請專利範圍第63項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一隆起電極經由一形成在上述鈍化膜中的連接孔。
- 66.一種半導體積體電路裝置，包含：
- 一第1絕緣膜被形成覆蓋在一半導體基板上；
- 一第1配線層包含銅作為一主要成分且被埋入在上述第1絕緣膜之一表面中；
- 一第2絕緣膜被形成覆蓋在上述第1配

- 線膜上；
- 一第2配線層包括鋁作為一主要的成分且被形成覆蓋在上述第2絕緣層上；及
- 一連接用導體部被形成在上述第2絕緣層中，且電氣式地連接上述第1配線層及上述第2配線層；
- 其中上述第1配線層是被覆蓋以一阻障層以抑制銅之擴散。
5. 67.如申請專利範圍第66項之半導體積體電路裝置，其中，上述阻障層包含一第1阻障層被插入在上述第1絕緣層及上述第1配線層之間，及一第2阻障層被插入在上述第1配線層及上述第2絕緣層之間。
10. 68.如申請專利範圍第67項之半導體積體電路裝置，其中，上述第1阻障層是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。
15. 69.如申請專利範圍第67項之半導體積體電路裝置，其中，上述第2阻障層是由一氮矽膜所組成。
20. 70.如申請專利範圍第66項之半導體積體電路裝置，其中，上述連接用導體部具有一抑制銅擴散之作用。
25. 71.如申請專利範圍第70項之半導體積體電路裝置，其中，上述連接用導體都是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。
30. 72.如申請專利範圍第66項之半導體積體電路裝置，更進一步包含一鈍化膜覆蓋在上述第2配線層上。
35. 73.如申請專利範圍第72項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一配線經由一形成在上述鈍化膜中的連接孔。
40. 74.如申請專利範圍第72項之半導體積體電路裝置，其中，上述第2配線層是

被電氣式地連接與一隆起電極經由一形成在上述鈍化膜中的連接孔。

圖式簡單說明：

第一圖係表示本發明之一實施形態之半導體積體電路裝置的要部剖面圖。

第二圖係表示第一圖之半導體積體電路裝置之第1層配線的要部剖面圖。

第三圖係表示第二圖之配線構造之變形例的剖面圖。

第四圖係表示第二圖之配線構造之變形例的剖面圖。

第五圖係表示第二圖之配線構造之變形例的剖面圖。

第六圖係表示第一圖之半導體積體電路裝置之第2層配線的要部剖面圖。

第七圖係表示第一圖之半導體積體電路裝置之配線層間連接之變形例之半導體積體電路裝置的要部剖面圖。

第八圖係表示第一圖之半導體積體電路裝置之製程中的要部剖面圖。

第九圖係表示第一圖之半導體積體電路裝置之製程中的要部剖面圖。

第十圖係表示第一圖之半導體積體電路裝置之製程中的要部剖面圖。

第十一圖係表示第一圖之半導體積體電路裝置之製程中的要部剖面圖。

第十二圖係表示第一圖之半導體積體電路裝置之製程中的要部剖面圖。

第十三圖係表示第一圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第十四圖係表示第一圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第十五圖係表示第一圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第十六圖係表示第一圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第十七圖係表示第一圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第十八圖係表示第一圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第十九圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第二十圖係表示繼續於第十九圖之半導體積體電路裝置之製程中的要部剖面圖。

第二十一圖係表示繼續於第十九圖之半導體積體電路裝置之製程中的要部剖面圖。

第二十二圖係表示繼續於第十九圖之半導體積體電路裝置之製程中的要部剖面圖。

第二十三圖係表示繼續於第十九圖之半導體積體電路裝置之製程中的要部剖面圖。

第二十四圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第二十五圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第二十六圖係表示繼續於第二十五圖之半導體積體電路裝置之製程中的要部剖面圖。

第二十七圖係表示繼續於第二十五圖之半導體積體電路裝置之製程中的要部剖面圖。

第二十八圖係表示繼續於第二十五圖之半導體積體電路裝置之製程中的要部剖面圖。

第二十九圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第三十圖係表示繼續於第二十九圖

之半導體積體電路裝置之製程中的要部剖面圖。

第三十一圖係表示繼續於第二十九圖之半導體積體電路裝置之製程中的要部剖面圖。

第三十二圖係表示繼續於第二十九圖之半導體積體電路裝置之製程中的要部剖面圖。

第三十三圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第三十四圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第三十五圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第三十六圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第三十七圖係表示第三十六圖之半導體積體電路裝置的要部放大剖面圖。

第三十八圖係表示於第三十七圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第三十九圖(A)係表示於第三十七圖之半導體積體電路裝置之要部之變形例的要部平面圖。

第三十九圖(B)·(C)係表示於第三十九圖(A)之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第四十圖係模式地表示第三十九圖之半導體積體電路裝置之要部的說明圖。

第四十一圖係模式地表示第四十圖之變形例的說明圖。

第四十二圖係模式地表示第四十圖之變形例的說明圖。

第四十三圖係模式地表示第四十圖之變形例的說明圖。

第四十四圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

5. 第四十五圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第四十六圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

10. 第四十七圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第四十八圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

15. 第四十九圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

20. 第五十圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第五十一圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

25. 第五十二圖係表示第三十六圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第五十三圖係表示第三十九圖(C)之半導體積體電路裝置之變形例的剖面圖。

30. 第五十四圖係表示第三十九圖(C)之半導體積體電路裝置之變形例的剖面圖。

第五十五圖(a)係表示第三十九圖(A)之半導體積體電路裝置之變形例的平面圖。

第五十五圖(b)表示於第五十五圖(a)之半導體積體電路裝置的要部放大剖面圖。

40. 第五十六圖係表示第三十九圖(A)之

半導體積體電路裝置之實施例的平剖面圖。

第五十七圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第五十八圖係表示第五十七圖之半導體積體電路裝置之製程中的要部剖面圖。

第五十九圖係表示第五十七圖之半導體積體電路裝置之製程中的要部剖面圖。

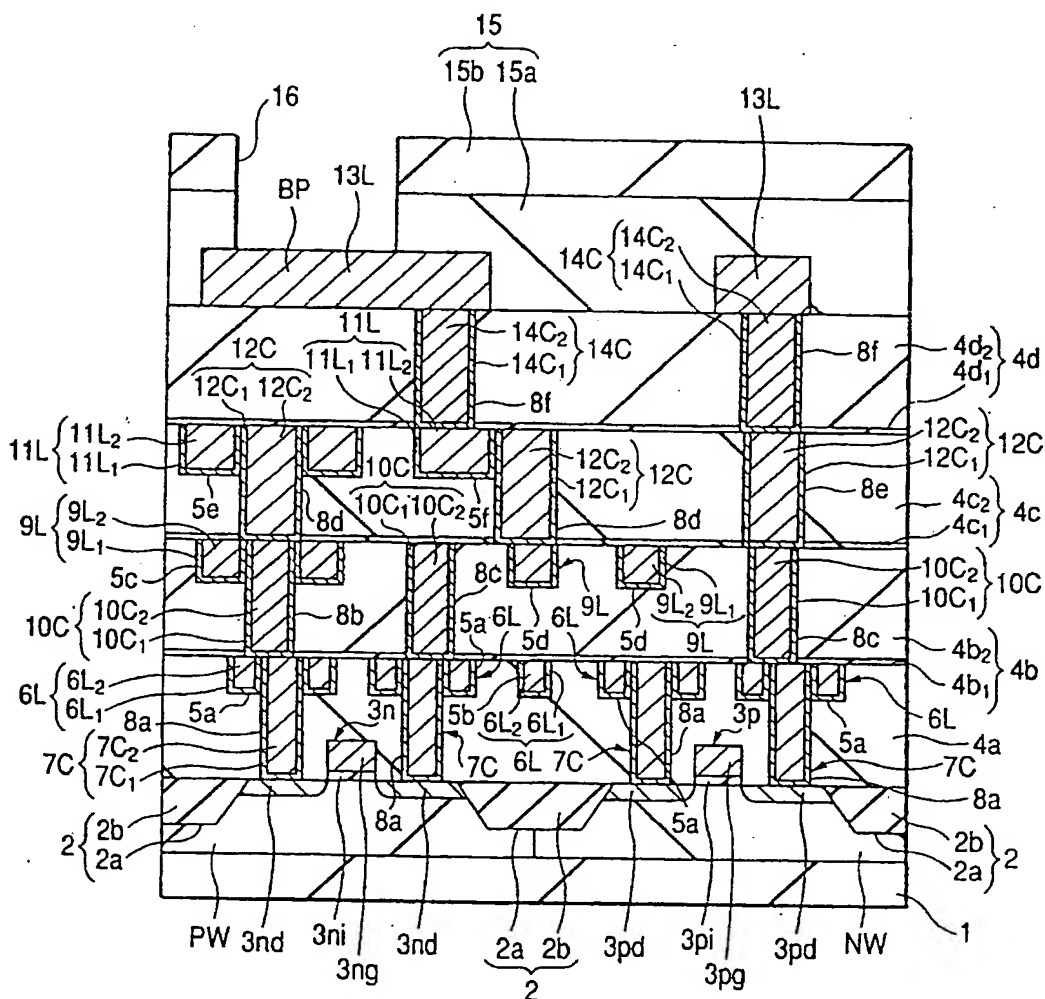
第六十圖係表示第五十七圖之半導

體積體電路裝置之變形例的要部剖面圖。

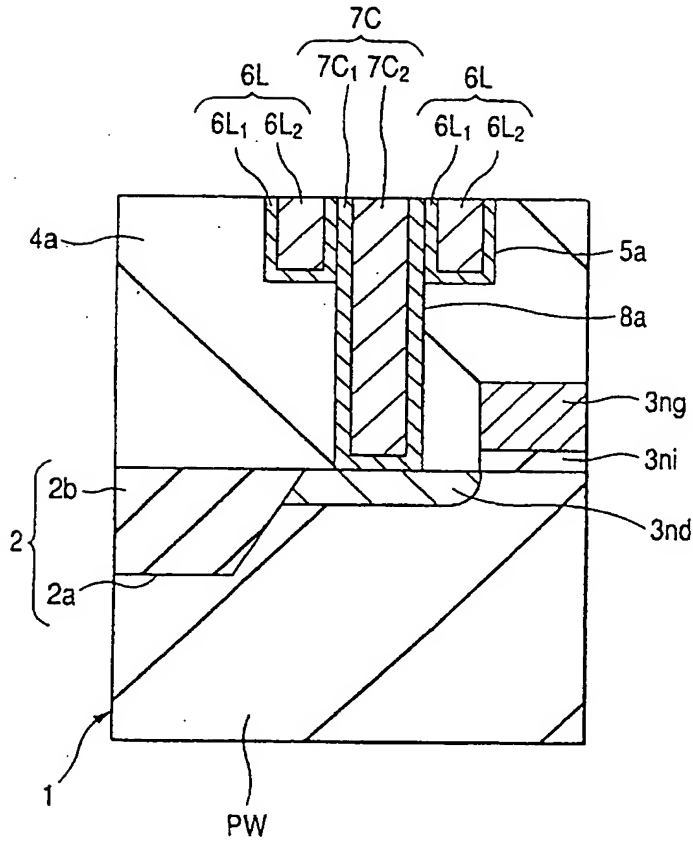
第六十一圖係表示本發明之實施形態之半導體積體電路裝置的平面佈置圖。

第六十二圖係表示第六十一圖之半導體積體電路裝置之變形例的平面佈置圖。

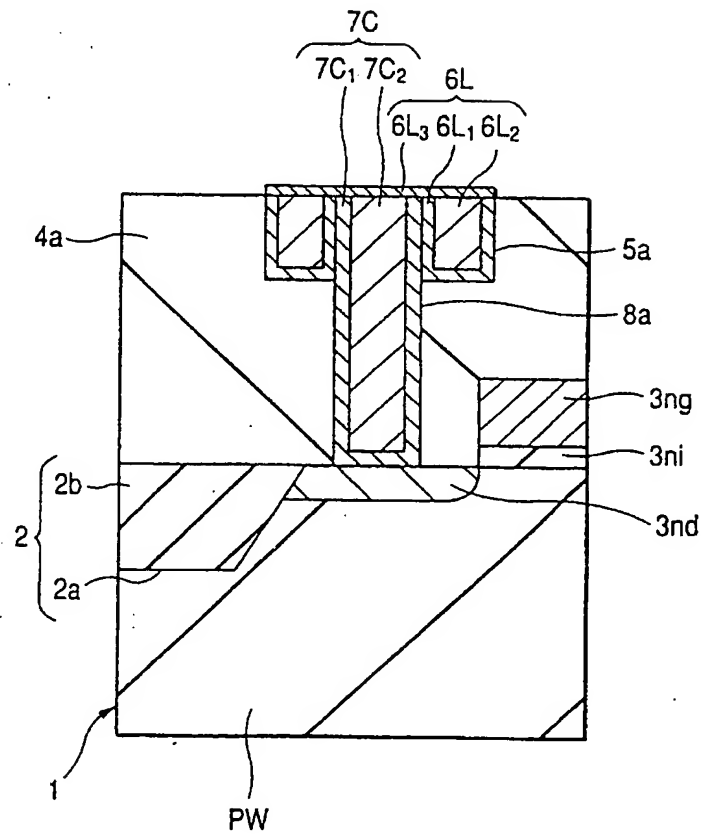
第六十三圖係表示第六十一圖之半導體積體電路裝置之變形例的平面佈置圖。



第一圖



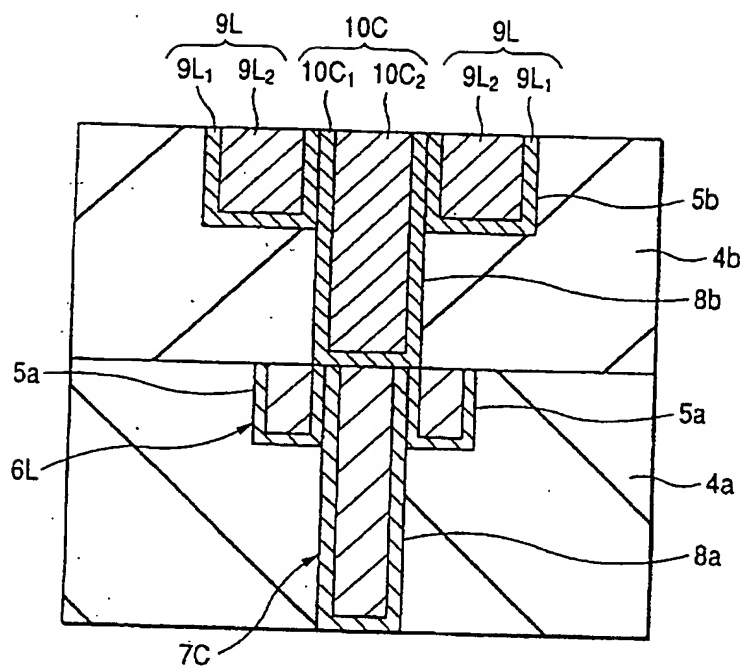
第二圖



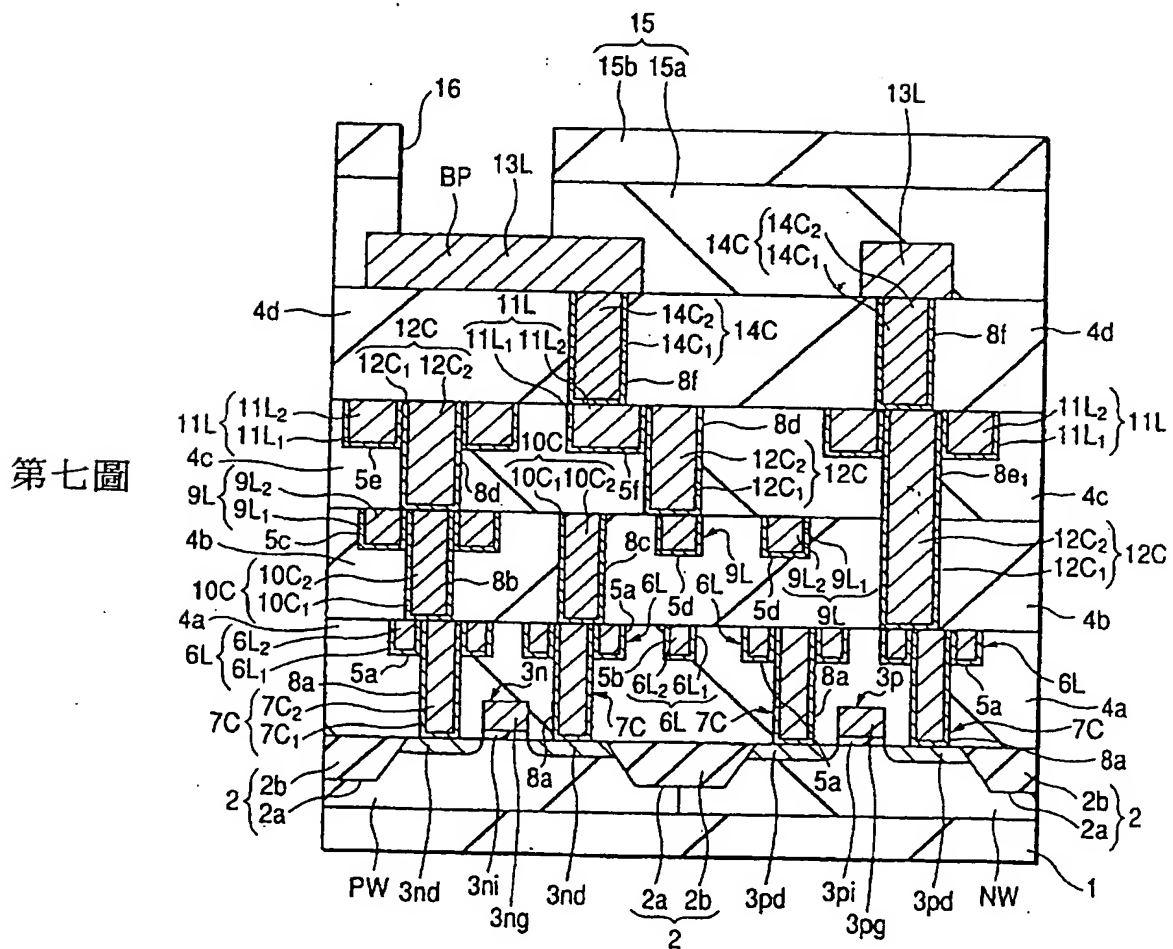
第三圖



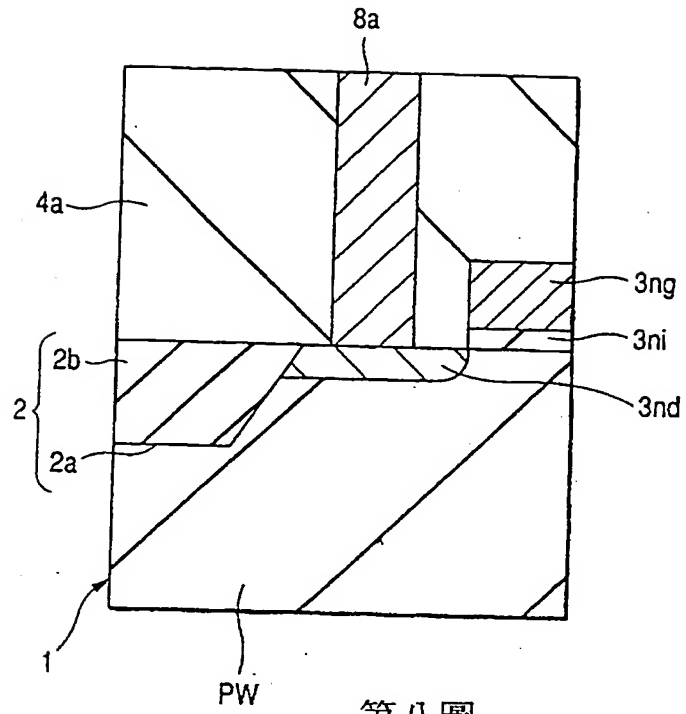




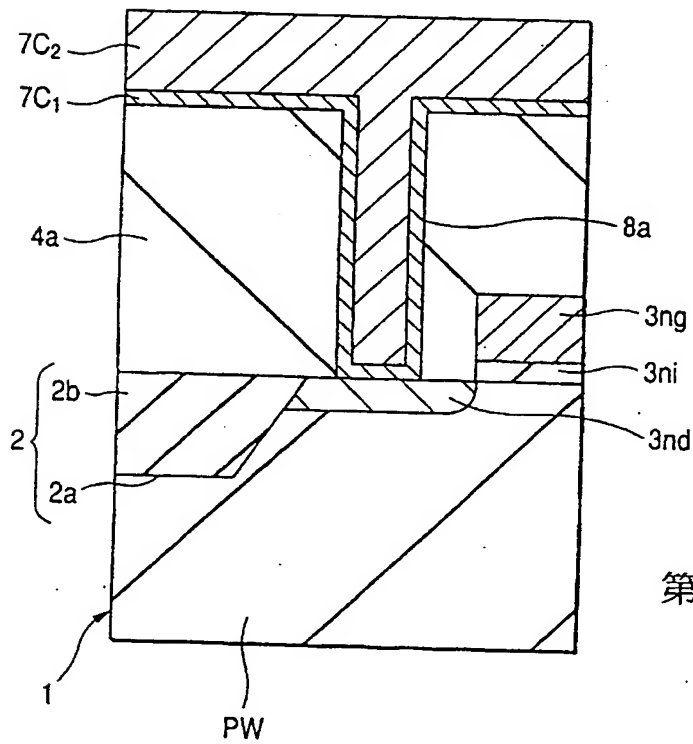
第六圖



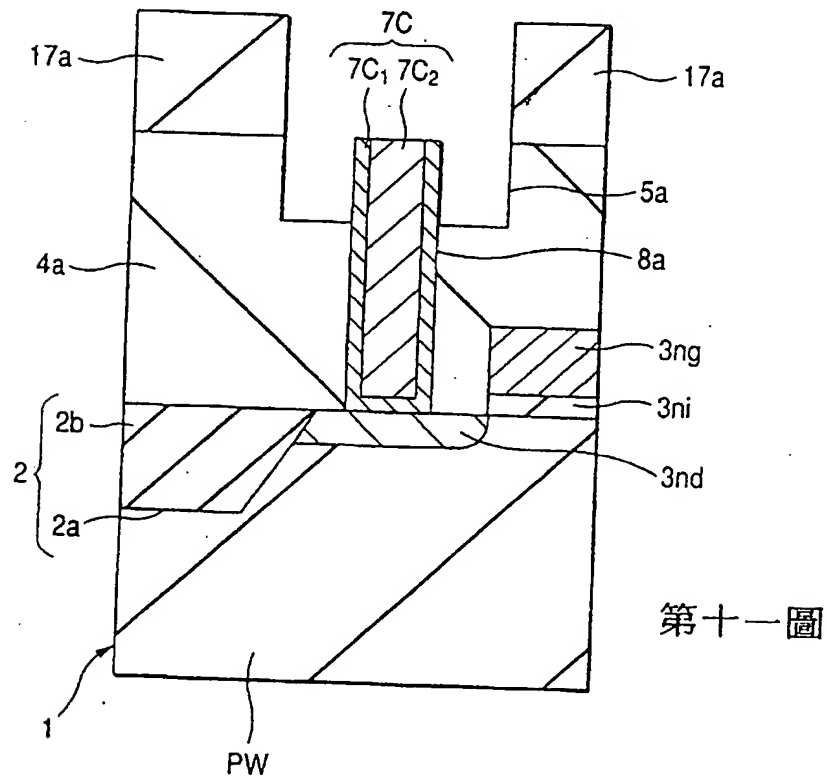
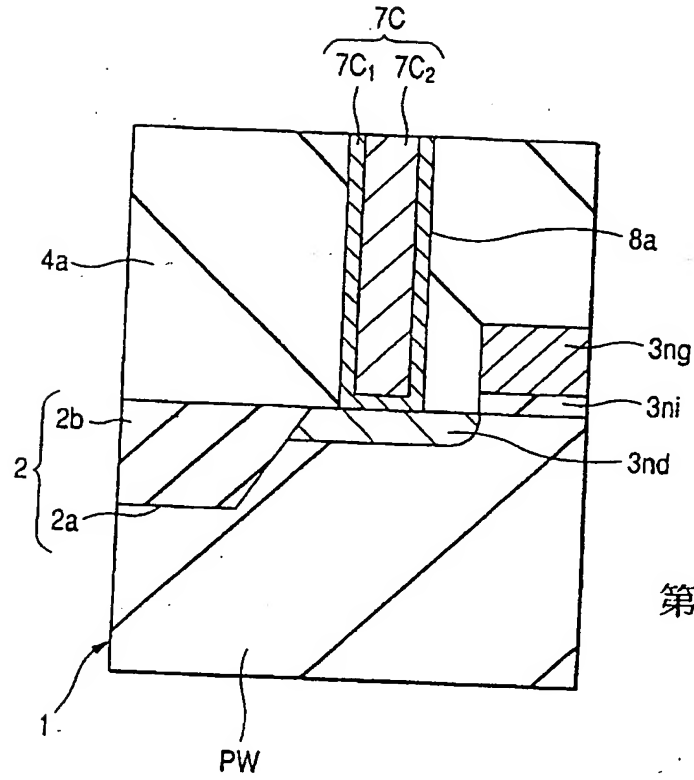
第七圖

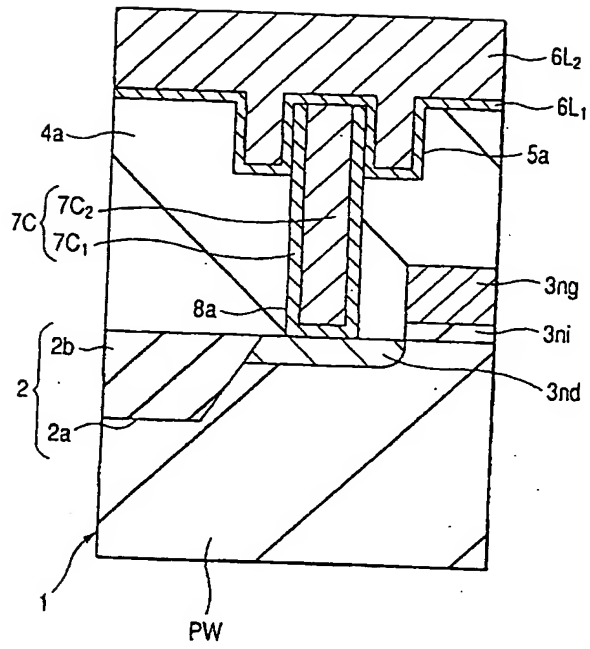


第八圖

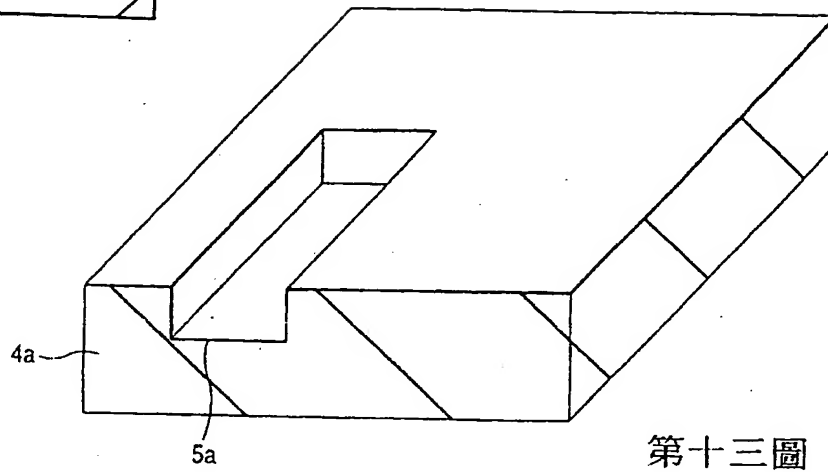


第九圖

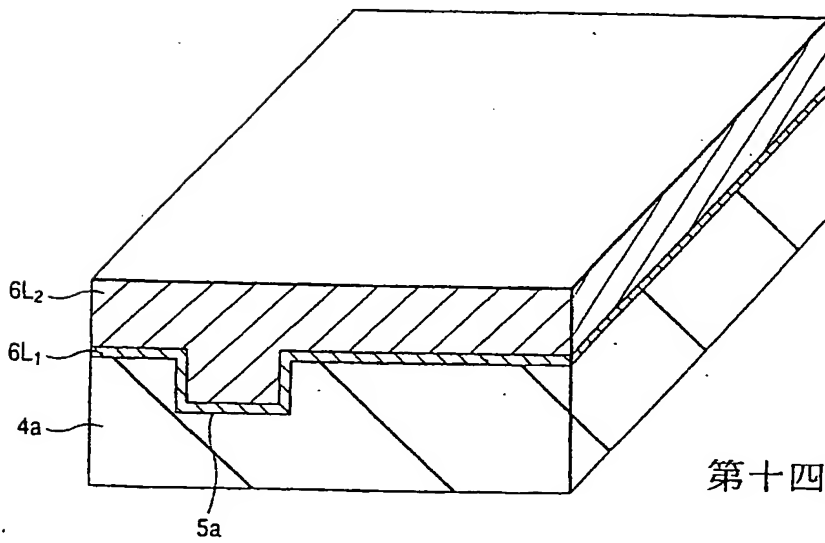




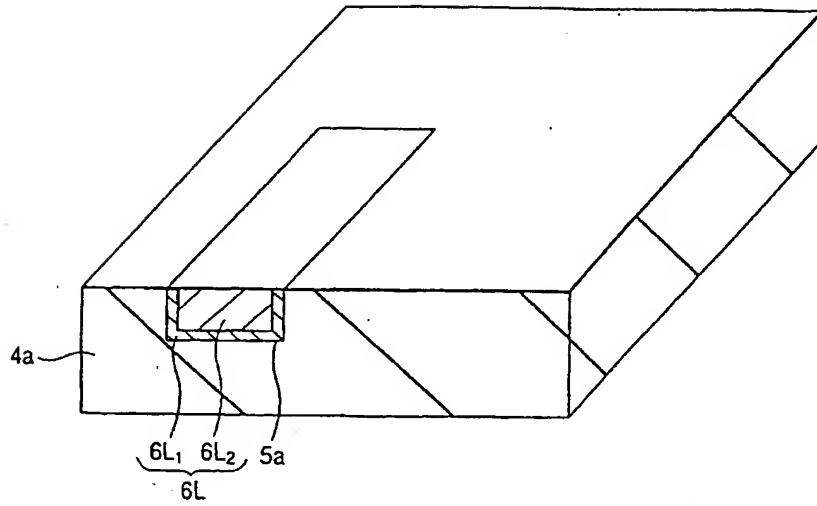
第十二圖



第十三圖

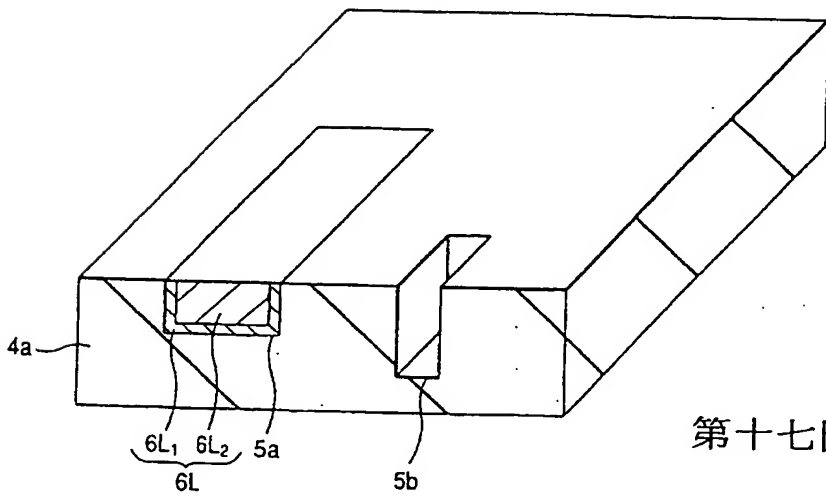
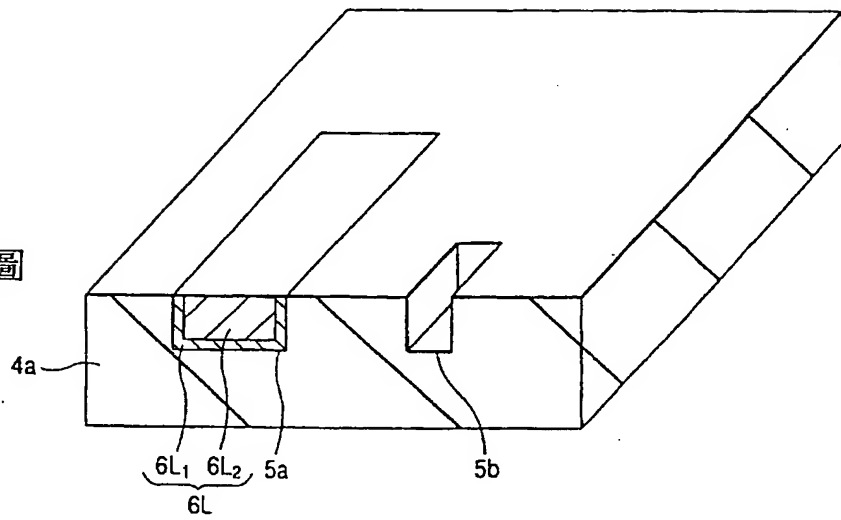


第十四圖

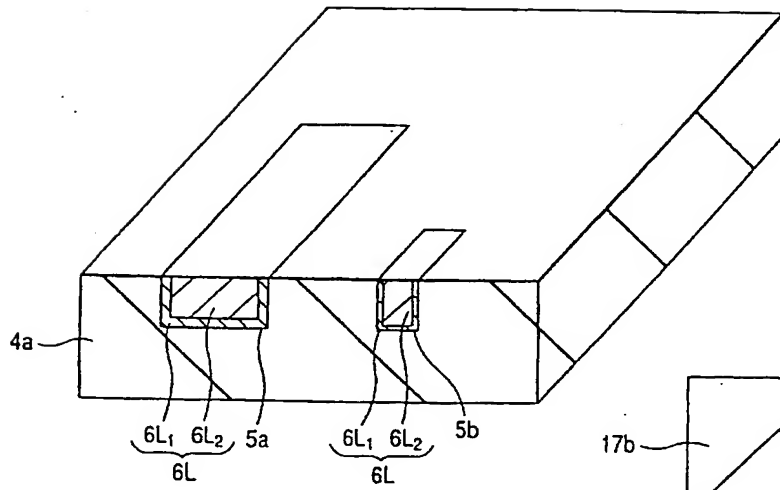


第十五圖

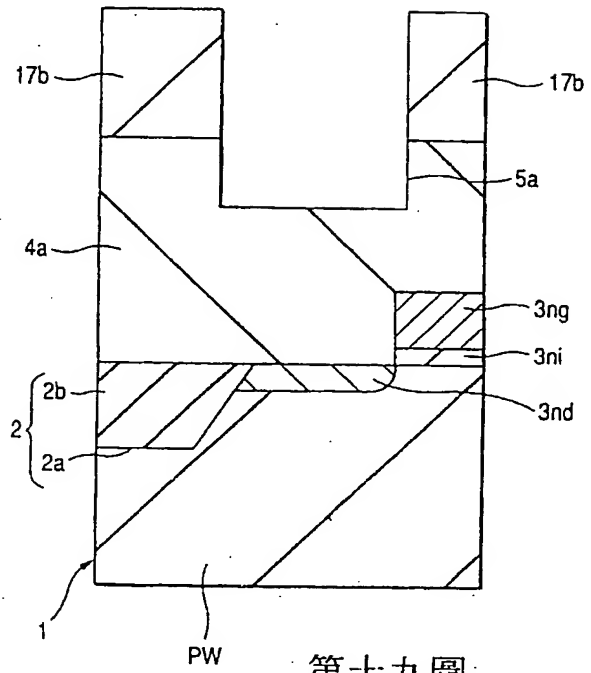
第十六圖



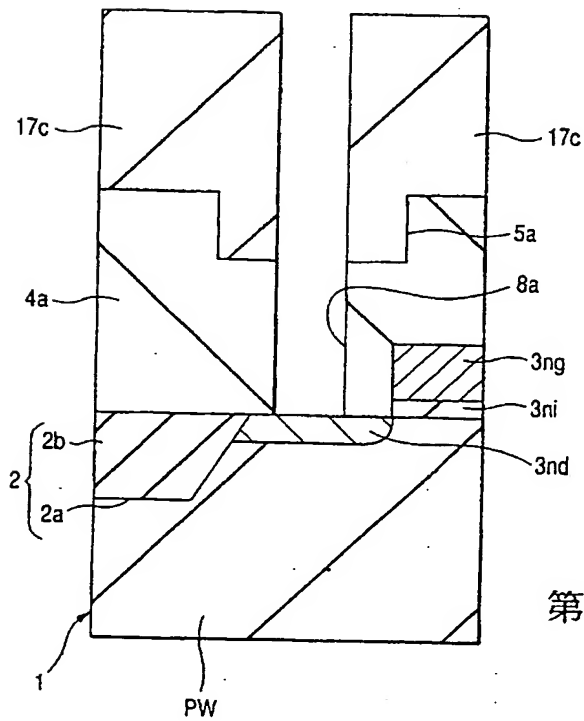
第十七圖



第十八圖

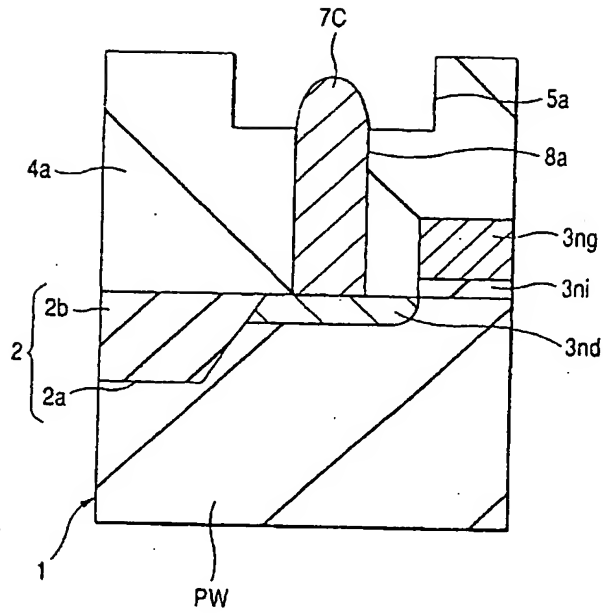


第十九圖

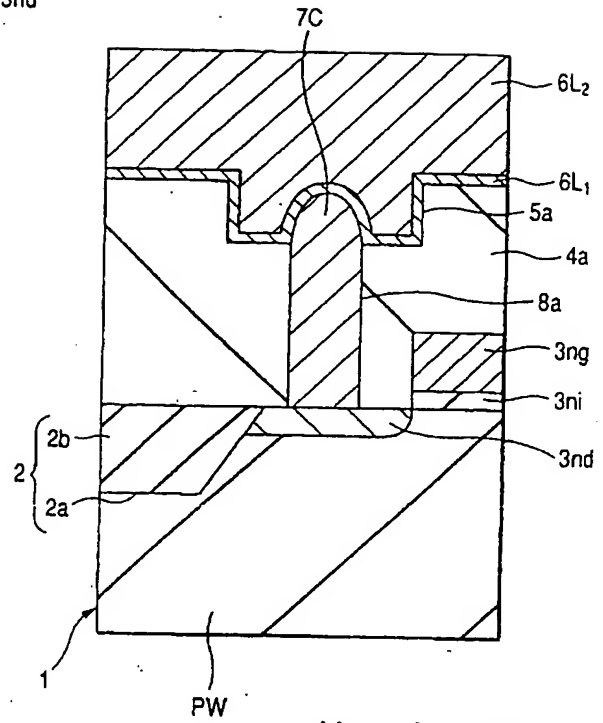


第二十圖

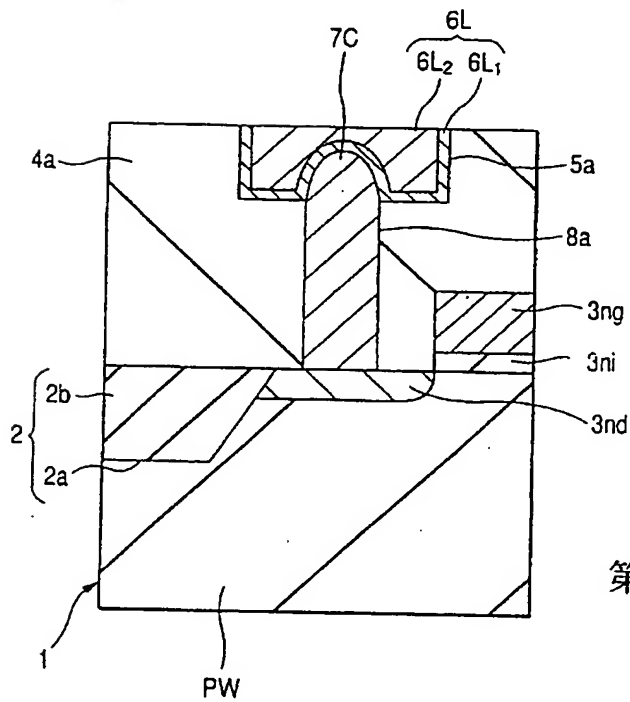




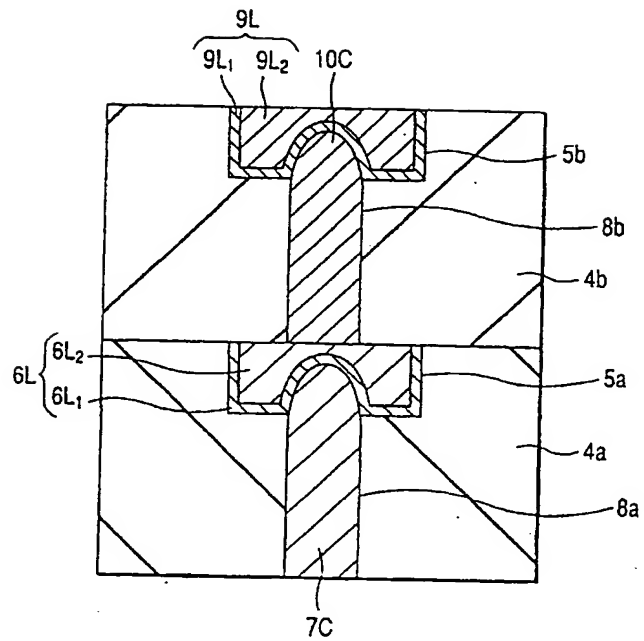
第二十一圖



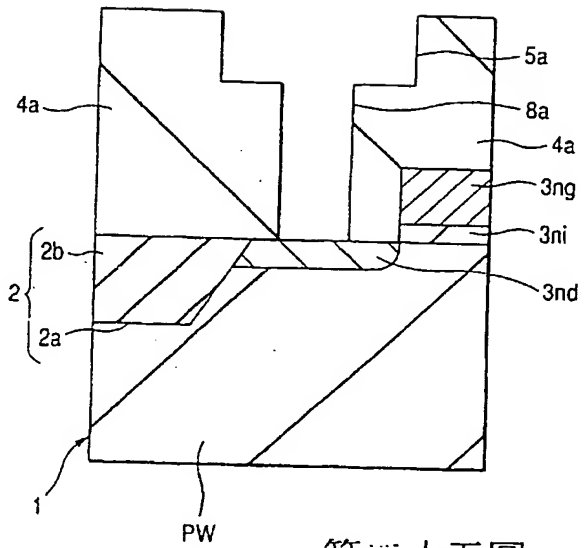
第二十二圖



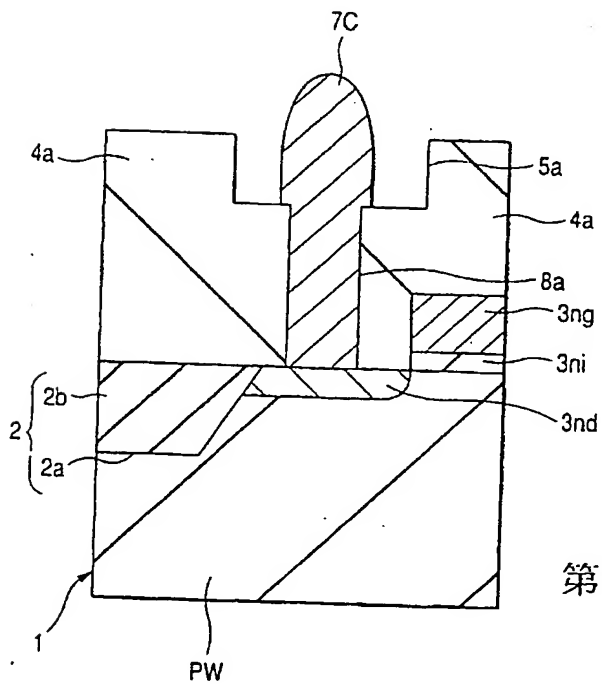
第二十三圖



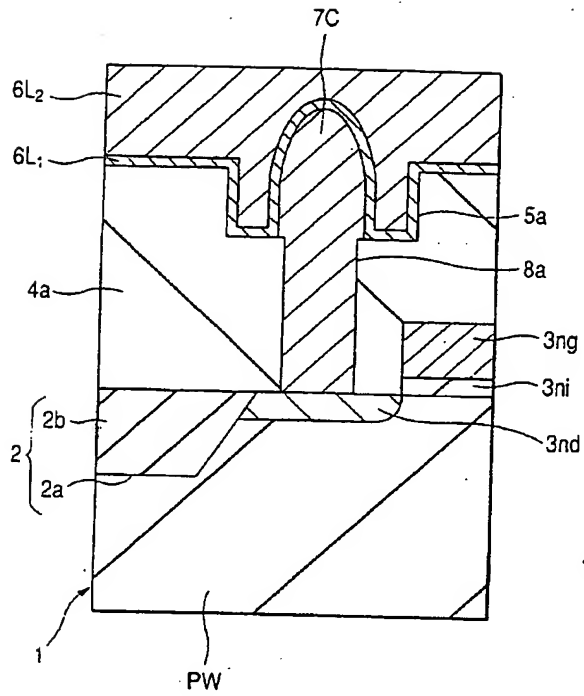
第二十四圖



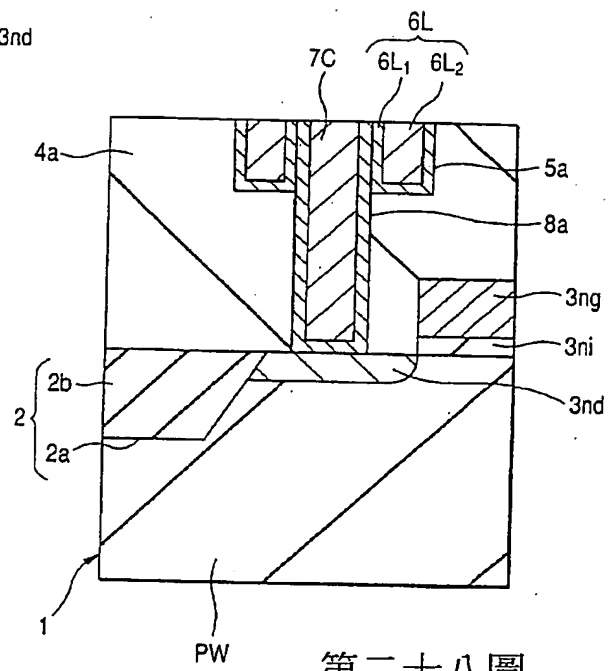
第二十五圖



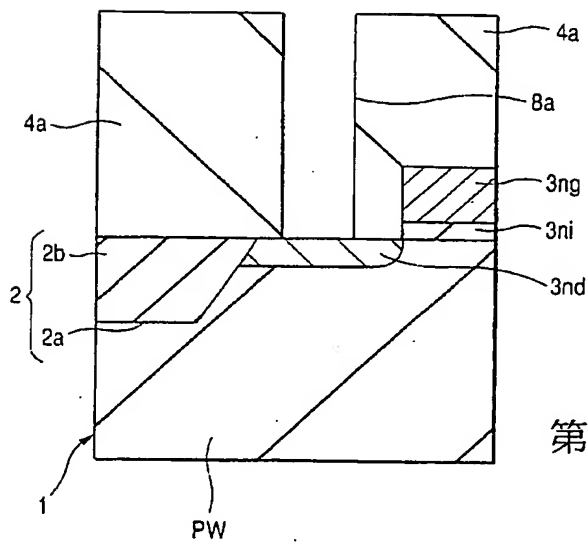
第二十六圖



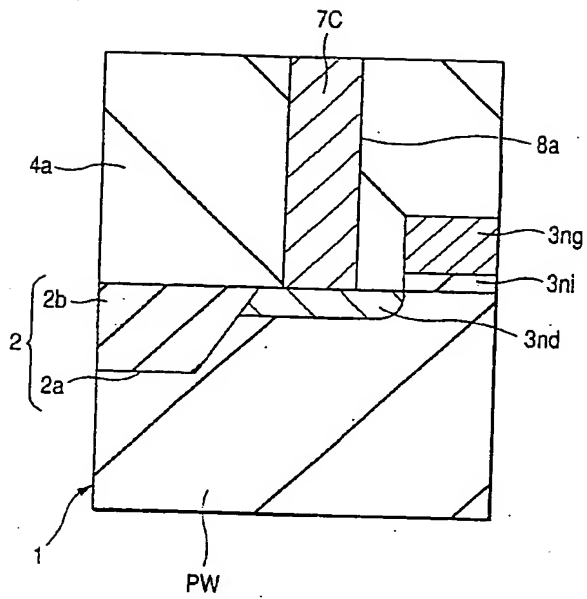
第二十七圖



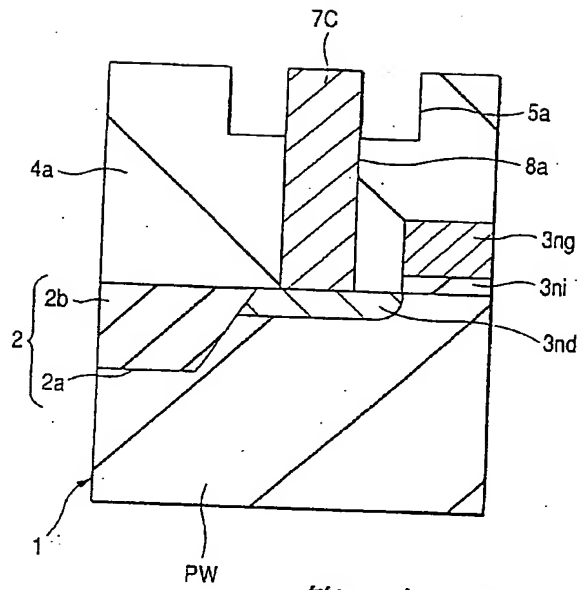
第二十八圖



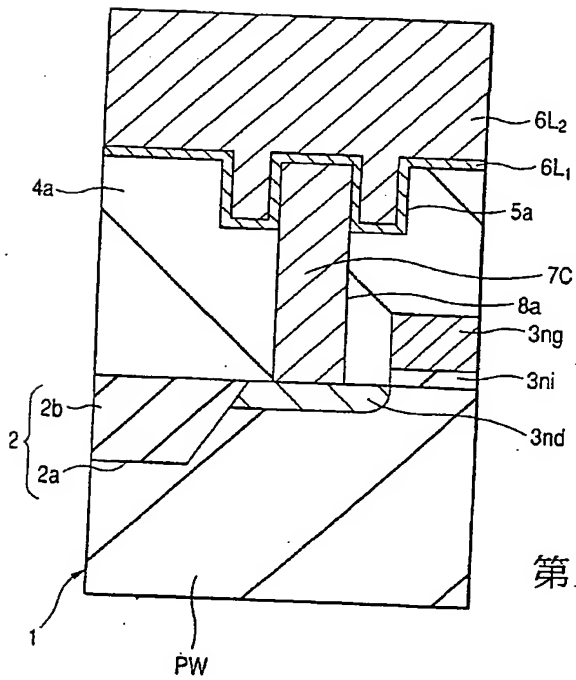
第二十九圖



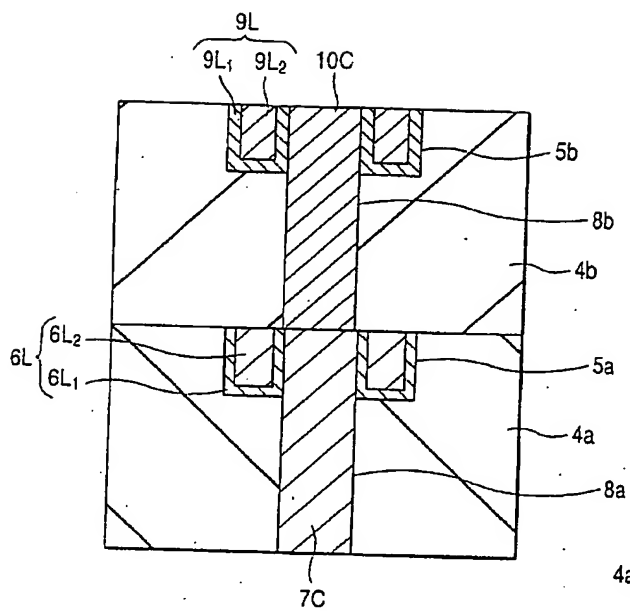
第三十圖



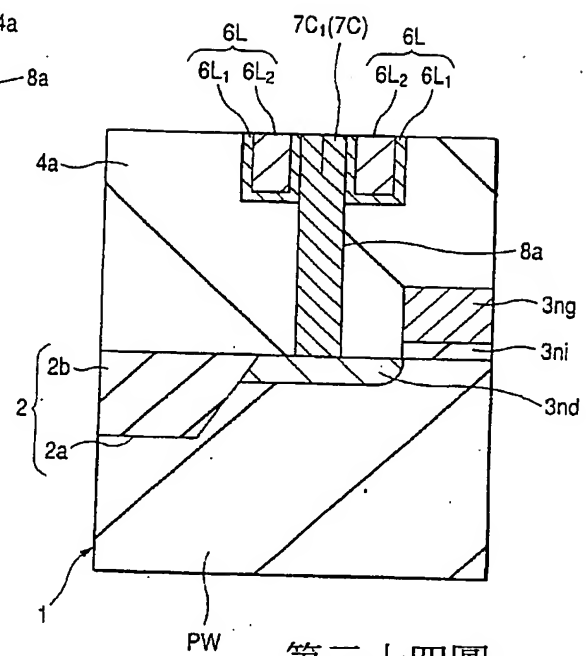
第三十一圖



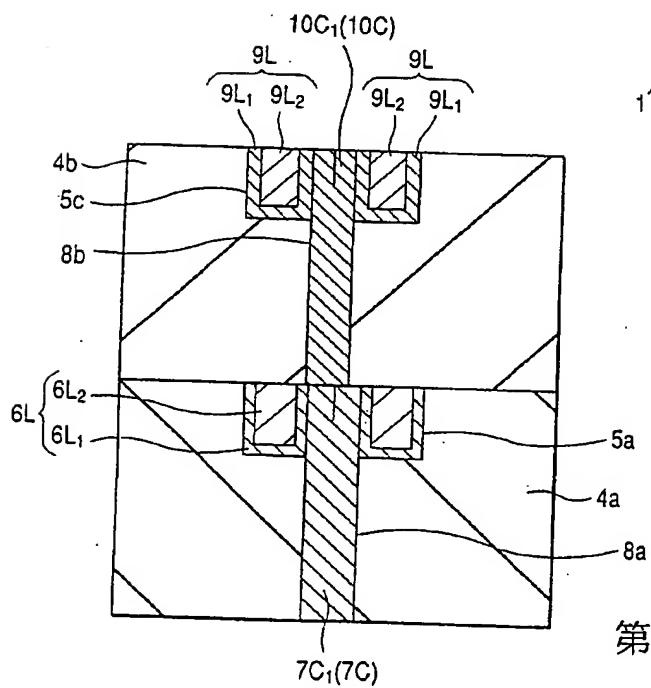
第三十二圖



第三十三圖



第三十四圖



第三十五圖



1

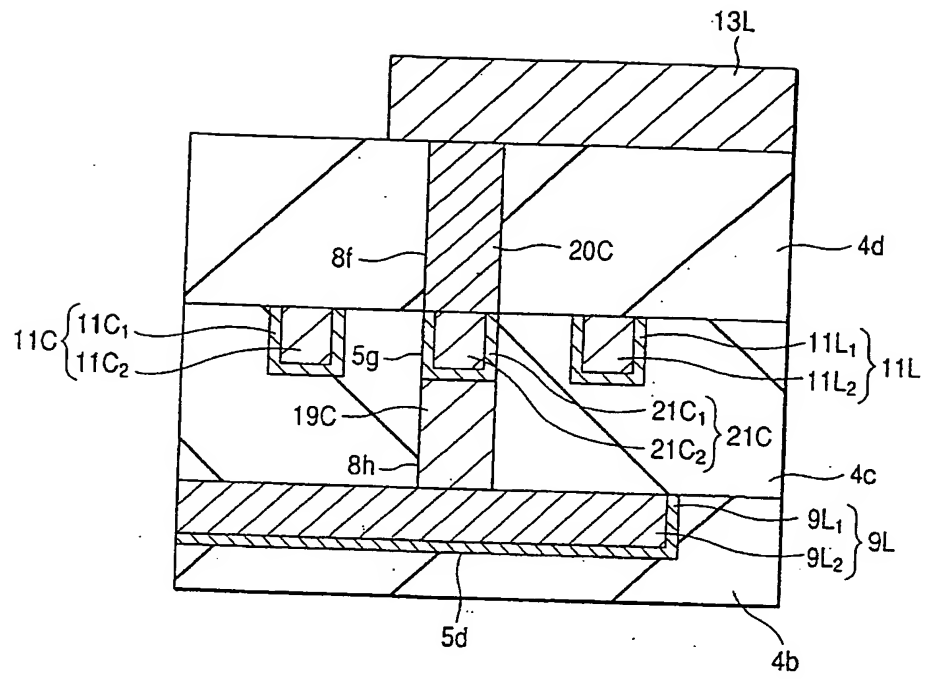


1

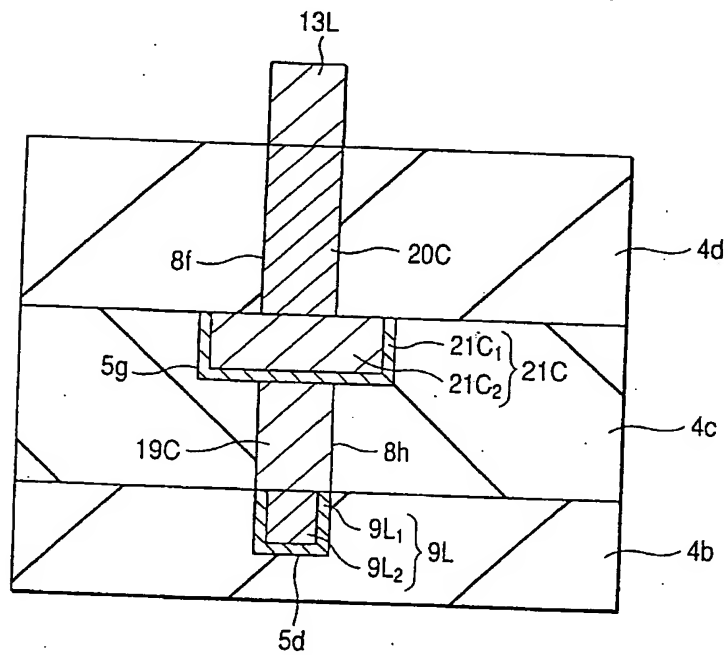




(26)

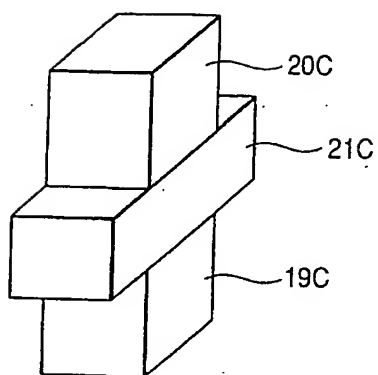


(B)

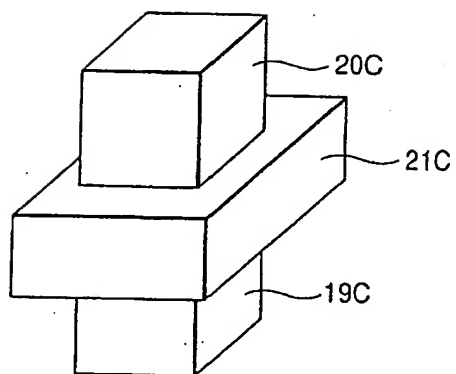


第三十九圖

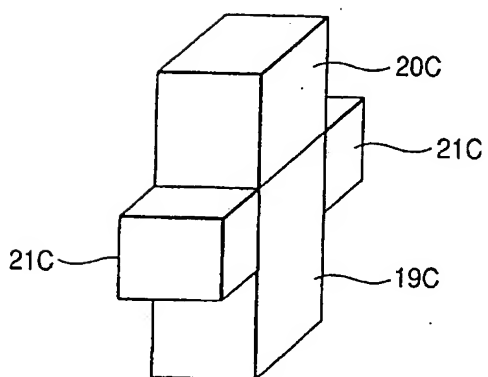
(C)



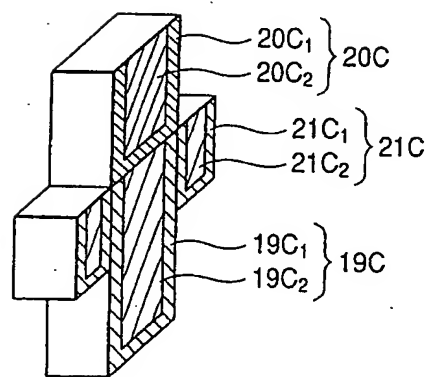
第四十圖



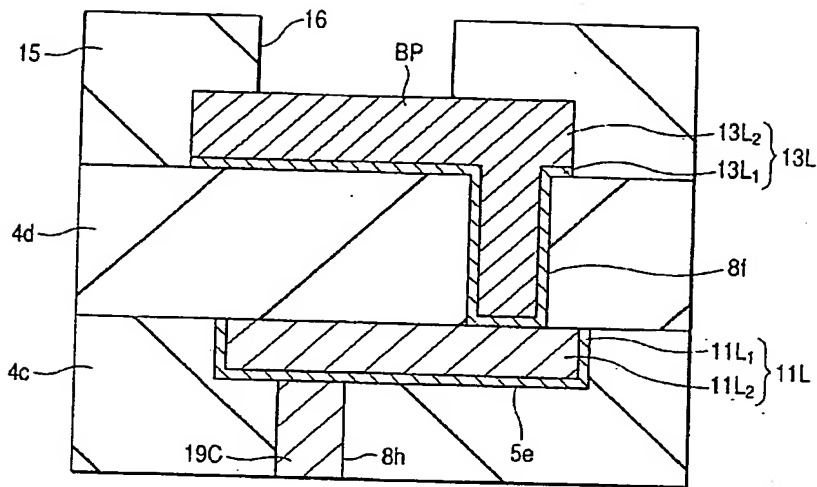
第四十一圖



第四十二圖

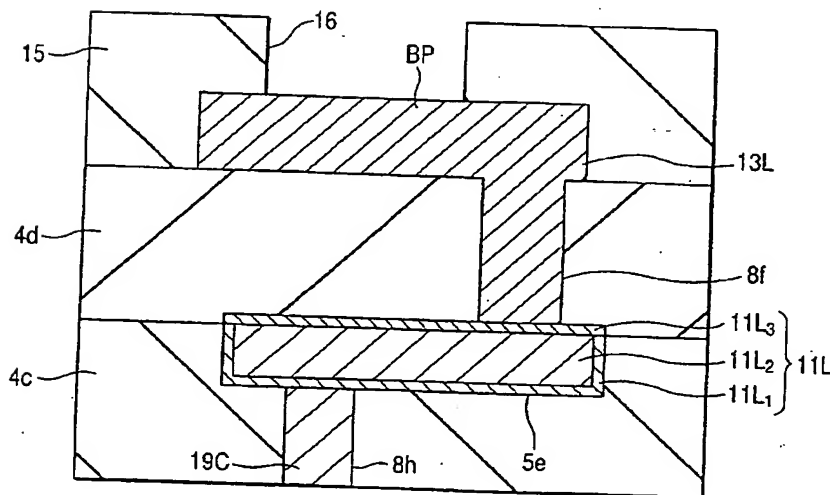
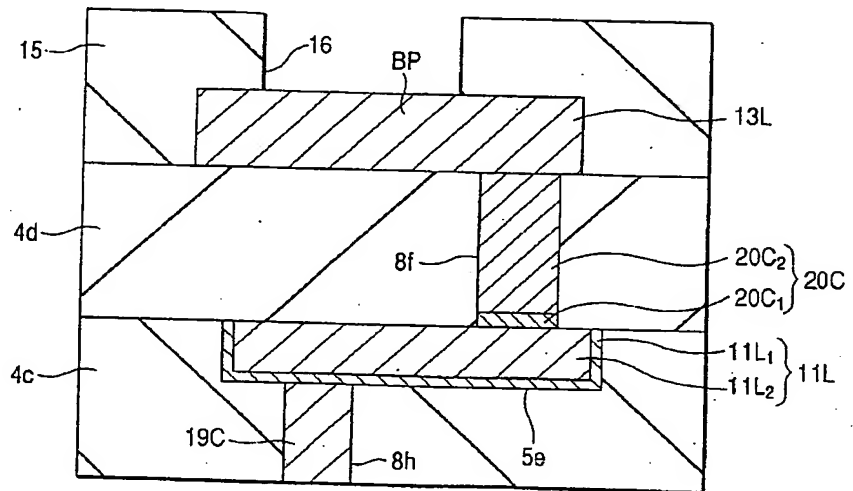


第四十三圖

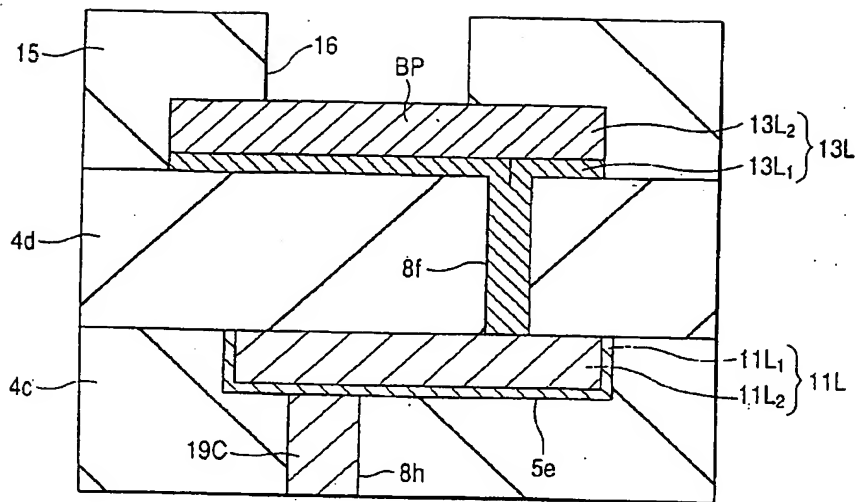


第四十四圖

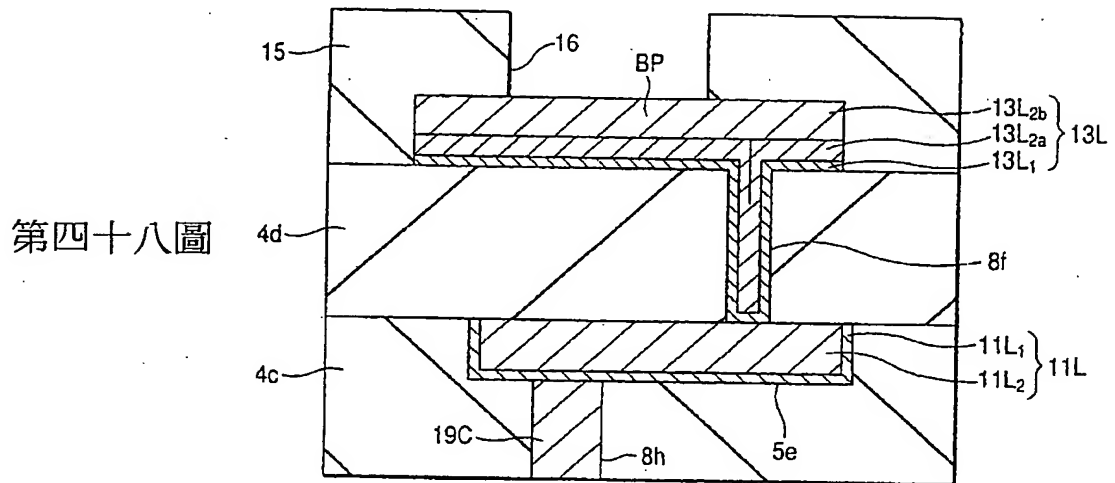
第四十五圖



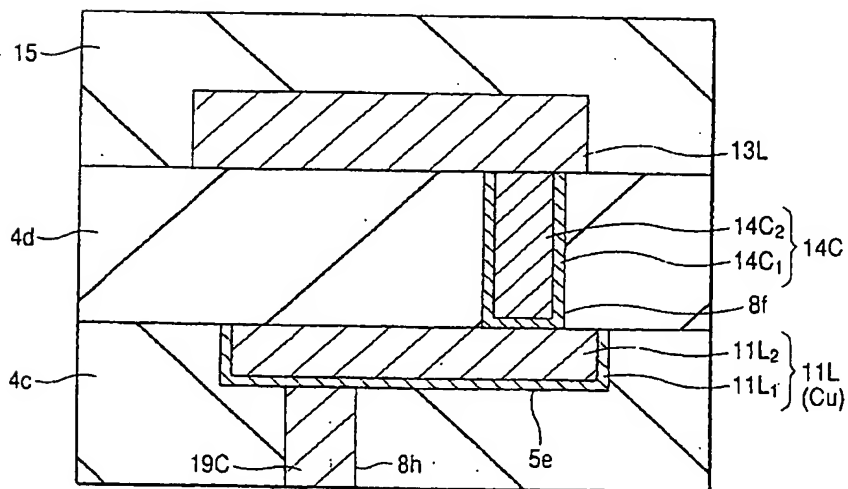
第四十六圖



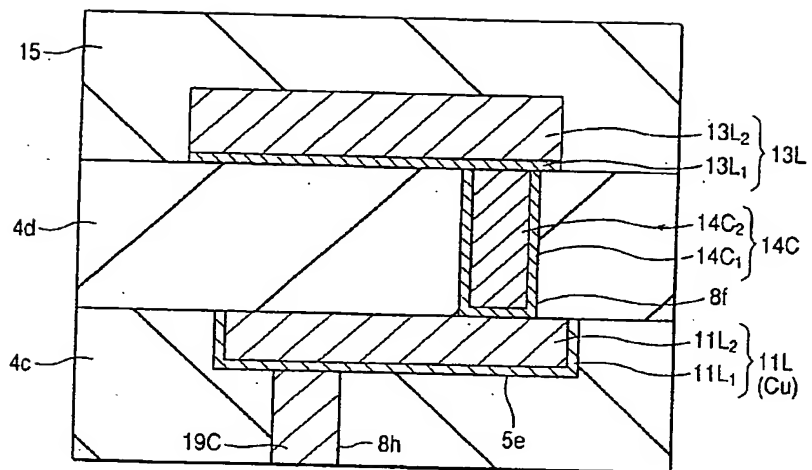
第四十七圖



第四十八圖

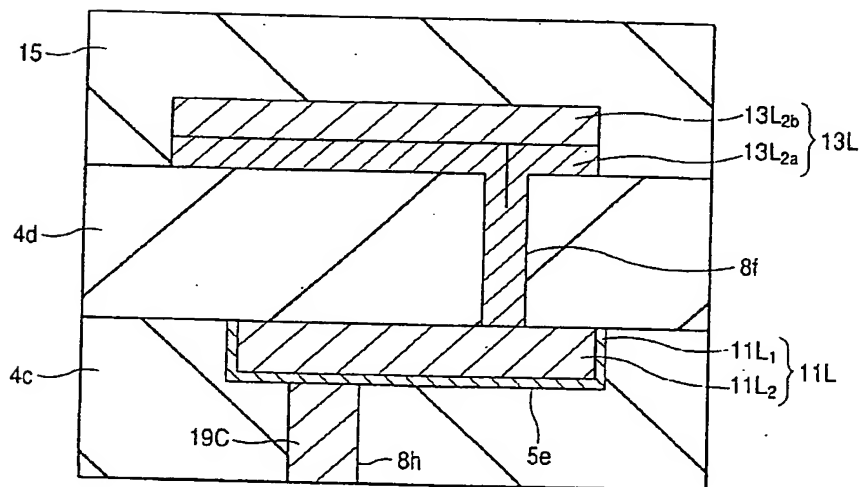
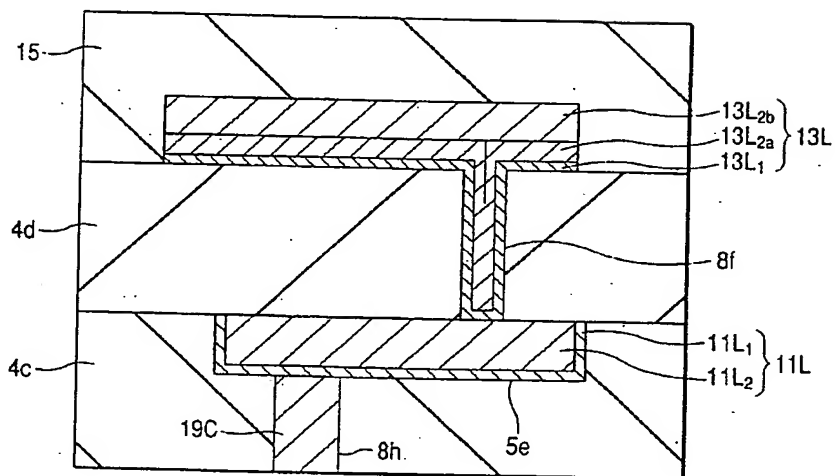


第四十九圖

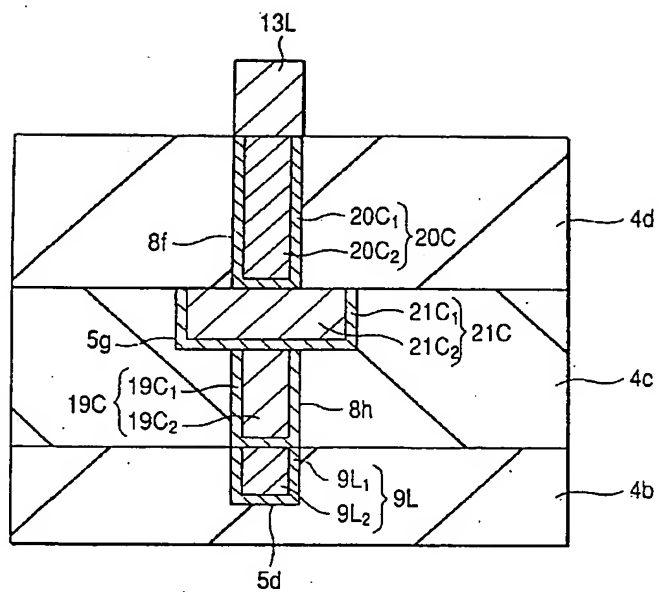


第五十圖

第五十一圖

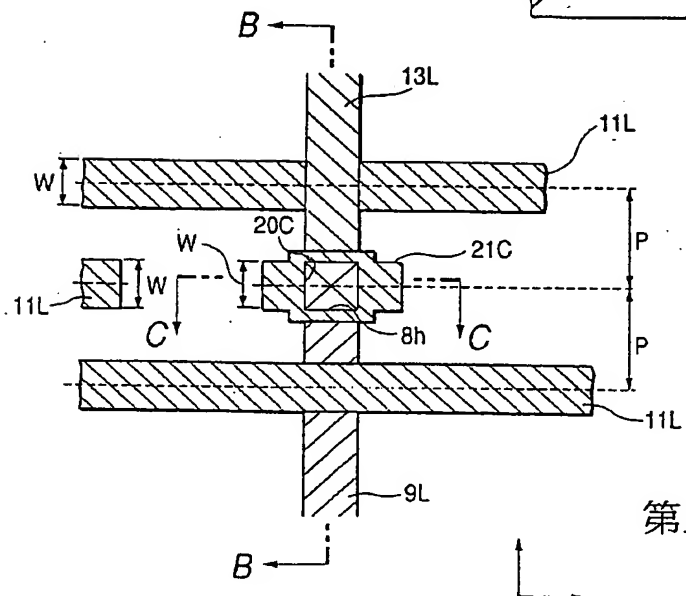
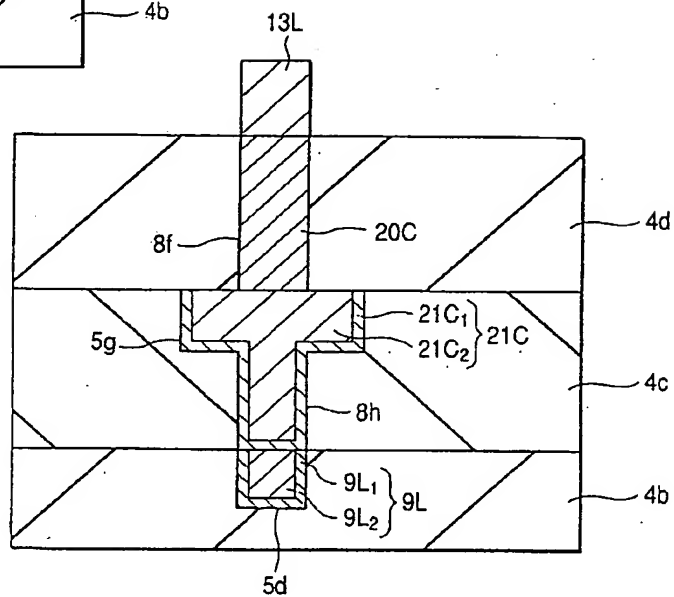


第五十二圖



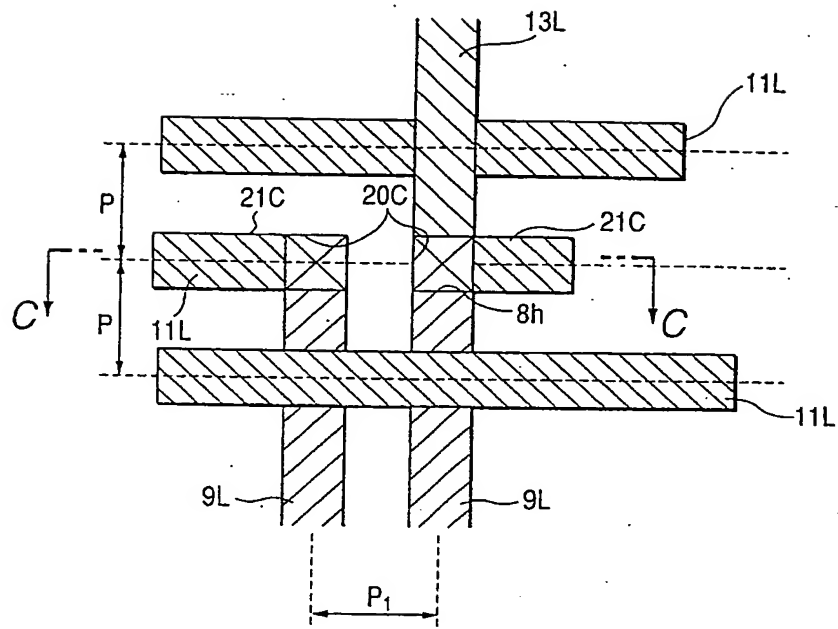
第五十三圖

第五十四圖

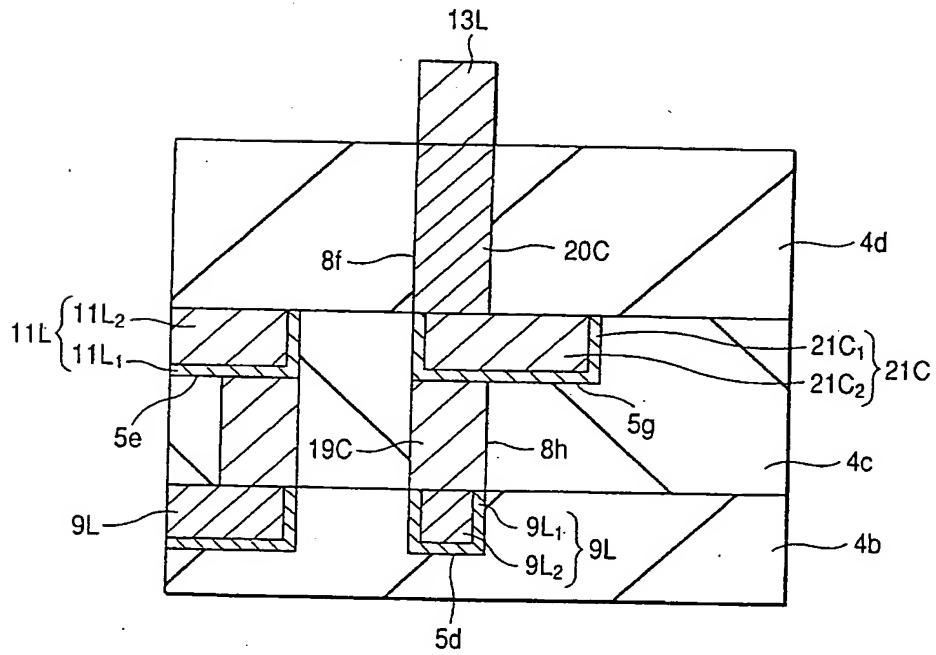


第五十六圖

(32)

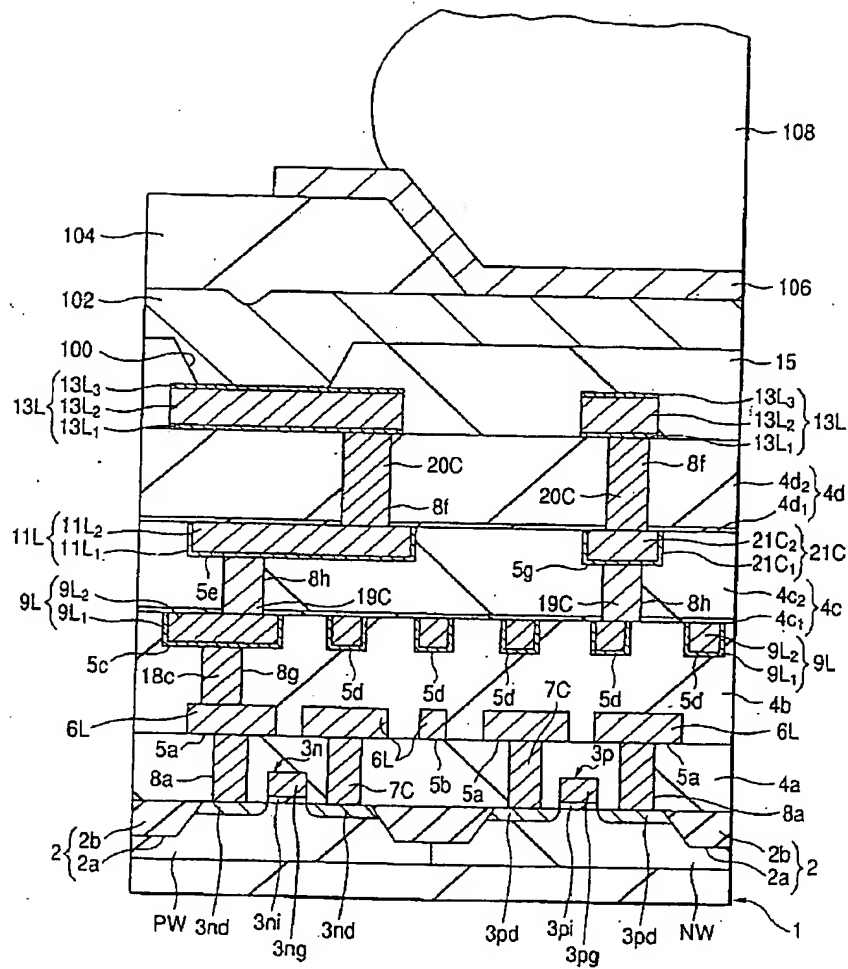


(A)

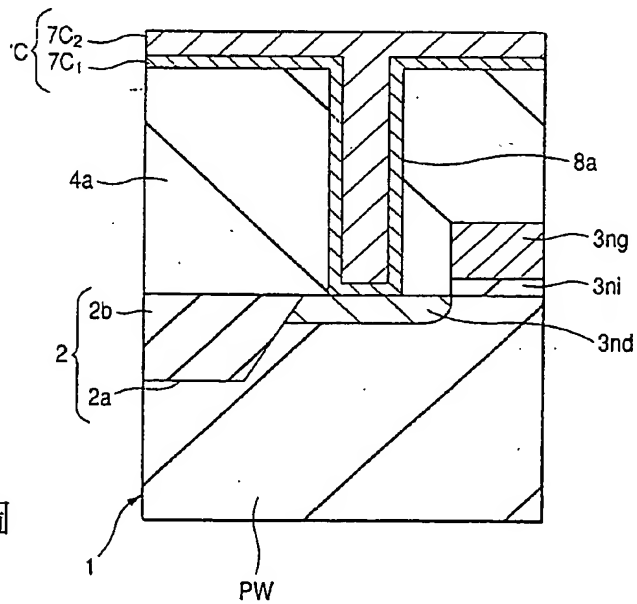


(B) 第五十五圖





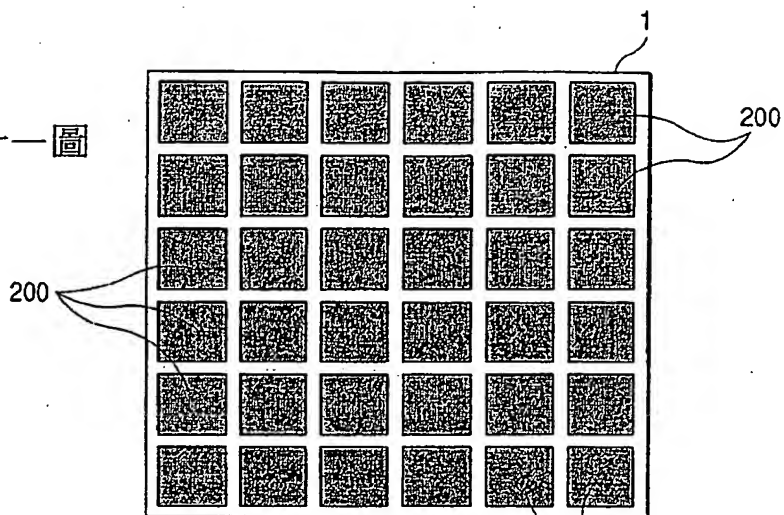
第五十七圖



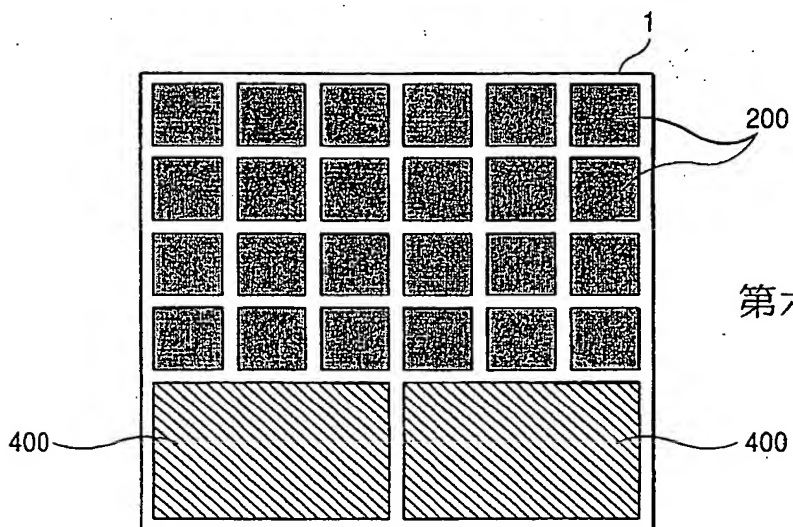
第五十八圖



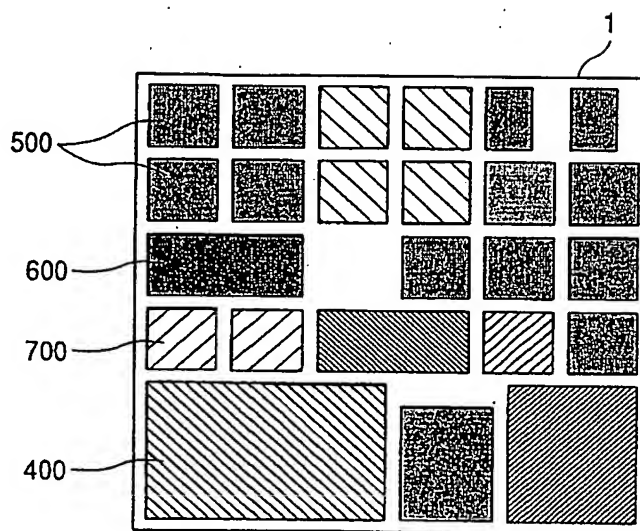
第六十一圖



第六十二圖



第六十三圖



**THIS PAGE BLANK (USPTO)**

# 公告本

申請日期	87 年 8 月 5 日
案 號	87112907
類 別	H01L 21/764

修正 本 年 月 日  
補充 89. 5. 19

A4  
C4

(以上各欄由本局填註)

459342

發 明 專 利 說 明 書 (修正本)		
一、發明 名稱	中 文	具有銅配線層之半導體積體電路裝置及其製法
	英 文	
二、發明人 姓名	姓 名	(1) 齊藤達之 (2) 野口純司 (3) 山口日出
	國 籍	(1) 日本                      (2) 日本                      (3) 日本 (1) 日本國東京都青梅市青梅四七八——二〇五
	住、居所	(2) 日本國東京都青梅市新町九—四—四  (3) 日本國東京都昭島市玉川町——四——七〇 三
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 金井務

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

裝

訂

線

# 公告本

申請日期	87 年 8 月 5 日
案 號	87112907
類 別	H01L 21/766

修正 補充	本 年 月 日 89. 5. 19
A4 C4	

(以上各欄由本局填註)

459342

## 發明專利說明書(修正本)

一、發明 名稱	中 文	具有銅配線層之半導體積體電路裝置及其製法
	英 文	
二、發明 創作人	姓 名	(1) 齋藤達之 (2) 野口純司 (3) 山口日出
	國 籍	(1) 日本                      (2) 日本                      (3) 日本 (1) 日本國東京都青梅市青梅四七八—一—二〇五
	住、居所	(2) 日本國東京都青梅市新町九—四—四  (3) 日本國東京都昭島市玉川町一—四—一—七〇 三
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地
	住、居所 (事務所)  代 表 人 姓 名	(1) 金井務

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

裝  
訂  
線

459342

申請日期	87 年 8 月 5 日
案 號	87112907
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 大和田伸郎
	國 籍	(4) 日本
	住、居所	(4) 日本國東京都青梅市大門三一七一七
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要 (發明之名稱： 具有銅配線層之半導體積體電路裝置及其製法 )

在半導體積體電路裝置，欲連接鋁或鋁合金所形成之配線，及銅或銅合金所形成之配線時，在此等之接合部介裝阻障導體膜或插頭。以鋁或鋁合金構成配線層中之最上層配線層之配線材料，而以銅或銅合金構成其下層之配線層的配線。又，以銅或銅合金以外之例如可微細加工且具有低電阻高 E M 耐性的鎢所形成導電材料構成最下層之配線。

英文發明摘要 (發明之名稱： )

(請先閱讀背面之注意事項再填寫)

裝

訂

線



459342

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期：

案號：

· ☐有 ☐無主張優先權

日本  
日本

1997 年 8 月 29 日 9-234236  
1998 年 6 月 29 日 10-182813

☒有主張優先權  
☒有主張優先權

有關微生物已寄存於：

· 寄存日期：

· 寄存號碼：

(請先閱讀背面：注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

[發明所屬之技術領域]

本發明係關於一種具有銅配線層之半導體積體電路裝置及其製造技術，特別是，關於一種適用於半導體積體電路裝置之配線形成技術上有效之技術者。

(以往之技術)

作為半導體積體電路裝置之配線形成方法，有例如稱為達馬新(Damascene)法的方法。該方法係在絕緣膜形成配線形成用之溝後，在半導體基板全面堆積配線形成用之導體膜，又藉由化學、機械性研磨法(CMP: Chemical Mechanical Polishing)予以除去該溝以外之領域的導體膜，俾在配線形成用之溝內形成埋入配線的方法。該方法之情形，特別是，被檢討作為微細之蝕刻加工困難的銅系(銅或銅合金)之導體材料所形成的埋入配線的形成方法。

又，作為達馬新法之應用有雙達馬新(Dual-Damascene)法。該方法係在絕緣膜形成用以實行配線形成用之溝及下層配線之連接的連接孔之後，在半導體基板全面堆積配線形成用之導體膜，又藉由CMP予以除去該溝以外之領域的導體膜，俾在配線形成用之溝由形成埋入配線，同時在連接孔內形成插塞之方法。該方法時，特別是，在具有多層配線構造的半導體積體電路裝置，可刪減工程數，並可減低配線成本。

對於此種配線形成技術有例如記載於日本特開平8-78410，1996，Symp, VLSI Tech, Digest pp48-49

(請先閱讀背面之注意事項再  
訂本頁)

裝

訂

線

## 五、發明說明(2)

電子材料3月號pp22-27, 1996年, 特開平8-148560, 或IBM J. RES. DEVELOP, VOL, 39 NO 4, pp419-435 July 1995。

### (發明欲解決之課題)

然而, 在上述之埋入配線之形成技術, 本案發明人發現有以下之課題。

亦即, 具有將埋入配線技術適用於半導體積體電路裝置時之構造上及製造上之整體像並不完全地確立之課題。特別是, 在上述之雙達馬新法, 將配線形成溝與連接孔以同一導體膜同時地埋入, 惟將此配線形成用溝更微細之連接孔與配線形成用溝同時地, 充分地且以確保良好之電氣式特性之狀態下埋入, 隨著配線或連接孔之微細化成為困難。一方面, 在使用電鍍法時, 雖埋入能力高, 惟以該方法所形成的銅之剛成膜後之結晶粒較小, 有無法得到充分之電氣式特性之情形。又, 雖電鍍法之埋入能力較高惟也有界限, 而在高縱橫比之微細連接孔之埋入也有困難。該問題係在相同之埋入配線層, 在有縱橫比不同之配線用溝時也產生。

本發明之目的係在具有埋入配線構造的半導體積體電路裝置, 提供一種不使用高度之技術, 可以將埋入配線用之導體膜良好地埋入的技術。

又, 本發明之目的係在具有埋入配線構造的半導體積體電路裝置, 提供一種可以推進配線用溝或連接孔或其雙

### 五、發明說明(3)

方之微細化的技術。

又，本發明之其他目的，係在於提供一種可提高埋入配線之可靠性的技術。

又，本發明之其他目的，係在於提供一種將使用銅系導體材料之埋入配線，在不產生不方便下，可裝進在半導體積體電路裝置之整體構造的技術。

本發明之上述及其他之目的與新穎之特徵，係由本說明書之記述及所附圖式即可明瞭。

#### (解決課題所用之手段)

在本發明所揭示之發明中，簡單地說明代表性者如下。

本發明的半導體積體電路裝置之製法，係具有埋入在半導體基板上層之配線層之配線的半導體積體電路裝置之製法，其特徵為具有：

(a) 在上述半導體基板上層之絕緣膜開連接孔的製程，及

(b) 在上述絕緣膜上，埋入上述連接孔地形成連接用之導體膜的製程，及

(c) 上述連接用之導體膜之形成製程後，對於上述連接用之導體膜施以平坦化處理，介經除去連接孔內以外之連接用的導體膜，在上述連接孔內形成連接用導體部的製程，及

(d) 在形成上述連接用導體部後之絕緣膜的配線形

(請先閱讀背面之注意事項再  
訂本頁)

裝

訂

線

## 五、發明說明(4)

成領域形成配線用溝的製程，及

(e) 在上述絕緣膜上，埋入上述配線用溝地形成配線用之導體膜的製程，及

(f) 上述配線用之導體膜之形成製程後，對於上述配線用之導體膜施以平坦化處理，介經除去配線用溝以外之配線用之導體膜，在上述配線用溝形成埋入配線的製程。

又，本發明的半導體積體電路裝置之製法，係上述配線用之導體膜由銅或銅合金所構成，以濺射法形成該導體膜時，在上述配線用之導體膜之平坦化處理製程後具有施加熱處理之製程者。

又，本發明的半導體積體電路裝置之製法，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置之製法，在形成於相同之埋入配線層之尺寸不同的配線用溝內埋入導體膜時，在上述尺寸不同之配線用溝內分別個別地埋入導體膜者。

又，本發明的半導體積體電路裝置之製法，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置之製法，其特徵為具有：

(a) 在上述半導體基板上層的絕緣膜開配線用溝與連結孔的製程，及

(b) 在上述絕緣膜上，埋入上述配線用溝與連接孔地介經濺射法形成銅或銅合金所構成之導體膜的製程，及

(c) 對於上述銅或銅合金所構成的導體膜施以平坦

(請先閱讀背面之注意事項再) (本頁)

裝訂線

## 五、發明說明(5)

化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜的製程，及

(d) 在上述銅或銅合金所構成之導體膜的平坦化處理製程後施以熱處理的製程。

又，本發明的半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線層的半導體積體電路裝置，其特徵為：上述埋入配線與半導體基板所接觸之部分的配線材料，係至少使用由鎢、鎢合金、鈦、鈦氮化物、鋁或鋁合金之一種所構成，而其上層之配線層的埋入配線係由銅或銅合金所構成者。

又，本發明之半導體積體電路裝置，係在半導體基板之上層的配線層中之至少一層以上具有埋入配線的半導體積體電路裝置，其特徵為：上述配線層中之最上配線層的配線材料以鋁或鋁合金所構成，而其下層之配線層的埋入配線以銅或銅合金者。

又，本發明的半導體積體電路裝置，係在半導體基板上層的配線層具有埋入配線的半導體積體電路裝置，其特徵為：在連接鋁或鋁合金所構成之配線，及銅或銅合金所構成的配線時，在此等接合部介裝阻障導體膜者。

又，本發明的半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為：在電氣式地連接比上述配線層中之所定埋入配線層更上層的配線與比上述所定之埋入配線之配線層更下層的

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明(6)

配線時，具備將設置於從上述上層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，及設置於從上述下層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，經由設置於上述所定埋入配線之配線層之連接用溝內的中繼用連接用導體部電氣式連接之構造，上述中繼用連接用導體部係至少其所定之埋入配線延伸方向的長度，形成比上述連接孔之上述配線延伸方向的長度較長者。

### (發明之實施形態)

以下，依照圖式詳述本發明之實施形態(又，在用以說明實施形態之全國中具有相同功能者附與相同記號，而省略重複之說明)。

### (實施例1)

第1圖係表示本發明之一實施形態之半導體積體電路裝置的要部剖面圖，第2圖係表示第1圖之半導體積體電路裝置之第1配線層的要部剖面圖，第3圖至第5圖係表示第2圖之配線構造之變形例的剖面圖，第6圖係表示第1圖之半導體積體電路裝置之第2配線層的要部剖面圖，第7圖係表示第1圖之半導體積體電路裝置之配線層間連接的變形例之半導體積體電路裝置的要部剖面圖，第8至第12圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖，第13圖至第18圖係表示第1圖之半導體

## 五、發明說明( 7 )

積體電路裝置之製程中之要部的局部切剖斜視圖。

首先，藉由第 1 圖至第 7 圖說明本實施形態 1 的半導體積體電路裝置之構造。半導體基板 1 係由例如 p - 型矽 ( s i ) 單晶所構成，在其上部形成有 p 井 p w 及 n 井 N W 。在該 P 井 P W ，含有例如 p 型雜質之硼 ( B ) ，而在 n 井 N W 含有例如 n 型雜質之磷 ( P ) 或砷 ( A S ) 。

又，在該半導體基板 1 之上部形成有元件分離部 2 ，該元件分離部 2 係在開擴於半導體基板 1 之上部的分離用溝 2 a 內，埋入有例如氧化矽等所構成的分離用絕緣膜 2 b 所形成。該文件分離部 2 之上面係與半導體基板 1 之主面大約一致地被平坦化。

在圍繞於文件分離部 2 之 P 井 P W 及 n 井 N W 的領域，形成有例如 n 通道型之 M O S F E T ( Metal Oxide-Semiconductor Field Effect Transistor ，以下簡稱為 n M O S ) 3 n 及 p 通道型之 M O S F E T ( 以下簡稱為 p M O S ) 3 p 。藉由該 n M O S 3 n 及 p M O S 3 p 形成有 C M O S ( Complimentary MOS ) 。但是，形成於半導體基板 1 之積體電路元件係並不限定於 M O S F E T 或 M I S F E T ( Metal Insulator Semiconductor Filed effect Transistor ) 者而可作各種變更，雙極電晶體，二極體或電阻元件或是此等之積體電路元件形成在相同半導體基板上之構造也可以。

n M O S 3 n 係具有：互相隔離地形成在 p 井 P W 上部的一對半導體領域，及形成在半導體基板 1 上的閘極絕

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線



## 五、發明說明 ( 8 )

緣膜 3 n i , 及形成在其上面閘極電極 3 n g 又 ,  
n M O S 3 n 之通道領域係在 p 井 P W 內形成在一對之半  
導體領域 3 n d 之間。

該半導體領域 3 n d 係用以形成 n M O S 3 n 之源極  
、汲極領域的領域，含有例如 n 型雜質之磷或砷。又，半  
導體領域 3 n d 係具有配置於通道領域側之相對地低濃度  
的半導體領域，及配置於其外側之相對地高濃度的半導體  
領域之構造也可以。

閘極絕緣膜 3 n i 係例如氧化矽所構成。形成於其上  
面的閘極電極 3 n g , 係例如低電阻多晶矽之單體膜所構  
成。但是，閘極電極 3 n g 係並不被限定於低電阻多晶矽  
之單體膜者。例如在低電阻多晶矽之單體膜上形成如鎢矽  
化物等之矽化物膜的作為所謂多矽化物構造也可以，或是  
，例如在低電阻多晶矽之單體膜上經由如氮化鈦等之阻障  
金屬膜形成如鎢等金屬膜的所謂多晶矽化金屬構造也可以  
。

一方面，p M O S 3 p 係具有：互相隔離地形成在 n  
井 N W 上部的一對半導體領域 3 p d , 及形成在半導體基  
板 1 上的閘極絕緣膜 3 p i , 及形成在其上面的閘極電極  
3 p g 。又，p M O S 3 p 之通道領域係在 n 井 N W 內形  
成在一對半導體領域 3 p d 之間。

該半導體領域 3 p d 係用以形成 p M O S 3 p 之源極  
汲極領域的領域，含有例如 p 型雜質之硼。又半導體領域  
3 p d 係具有配置於通道領域側之相對地低濃度的半導體

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明(9)

領域，及配置於其外側之相對地高濃度的半導體領域之構造也可以。

閘極絕緣膜 3 p i 係例如氧化矽所構成。形成於其上面的閘極電極 3 p g，係例如低電阻多晶矽之單體膜所構成。但是，閘極電極 3 n g 係並不被限定於低電阻多晶矽之單體膜者。例如在低電阻多晶矽之單體膜上形成如鎢矽化物等之矽化物膜的作為所謂多矽化物構造也可以，或是，例如在低電阻聚矽之單體膜上經由如氮化鈦等之阻障金屬膜形成如鎢等金屬膜的所謂多晶矽化金屬構造也可以。

在此種半導體基板 1 上，其表面形成有介經例如 C M P 法被平坦化的例如氧化矽所構成的層間絕緣膜 4 a，由此，覆蓋有 n M O S 3 n 及 p M O S 3 p。在該層間絕緣膜 4 a 上部，形成有寬度或長度不同的配線用溝 5 a，5 b。配線用溝 5 a，5 b 之深度係相同，例如約 0.3 ~ 1.0  $\mu$ m，較佳為 0.5  $\mu$ m。又，配線用溝 5 a 之縱橫比係例如約 0.1 ~ 1.0 考慮良好地埋入配線用導體膜時，小於 0.7 較佳。配線用溝 5 b 之縱橫比係例如約 0.5 ~ 2.5，而考慮埋入配線用導體膜時，小於 1.5 較佳。

在該配線用溝 5 a，5 b，如第 1 圖及第 2 圖所示，形成有第 1 配線層 6 L 成為埋入狀態。該第 1 配線層 6 L 係由下部與側部之相對地較薄的導體膜 6 L 1，及圍繞於該較薄導體膜 6 L 1 之相對地較厚的導體膜 6 L 2 所構成。

(請先閱讀背面之注意事項再)(本頁)

裝

訂

線

## 五、發明說明(10)

較薄導體膜 6 L 1 係由具有提高第 1 配線層 6 L 與層間絕緣膜 4 a 的密接性之功能或抑制較厚導體膜 6 L 2 之構成原子之擴散的阻障功能的材料所構成，例如由鎢 (W)，氮化鈦 (TiN)，鈦 (Ti)，鉭 (Ta)，氮化鎢 (WN)，氮化鎢矽化物 (WSiN)，氮化鈦矽化物 (TiSiN)，氮化鉭 (TaN) 或氮化鉭矽化物 (TaSiN) 等所構成。

以鎢等構件較薄導體膜 6 L 1 時，與以 TiN，Ti，Ta，WN，WSiN，TiSiN，TaN 或 TaSiN 等所構成者相比較，成為可降低配線電阻。雖未特別加以限定，惟在本實施形態 1，較薄導體膜 6 L 1 係由例如 TiN 所構成。

又，較厚導體膜 6 L 2 係構成第 1 層配線層 6 L 之本體的構成，例如鋁 (Al)，鋁合金，鎢，鎢合金，銅 (Cu)，或銅合金等之低電阻材料所構成。作為鋁合金之一例子，有在鋁所構成之導體膜添加如 Si，Cu，Ge 等元素中所選擇之一種或一種以上之元素者。作為 Cu 合金之一例子，有在 Cu 所構成之導體膜添加如 Mg，Si，Ti 等元素中所選擇之一種或一種以上之元素者。作為鎢合金之一例子，有在鎢所構成導體膜添加如 Si，N 等元素中所選擇之一種或一種以上之元素者。又，在以下之記載，對於鋁合金，鎢合金及銅合金，基本上成為與上述者相同。在以銅或銅合金構成該較厚導體膜 6 L 2 時，與以鋁或鎢構成者相比較，可大幅度降低配線電阻，且與以

### 五、發明說明(11)

鋁或鋁合金構成者相比較，成為可提高第1層配線6L之電子遷移(EM)耐性。雖未特別加以限定，在本實施例之形態1中，較厚導體膜6L2以例如銅所構成。

但是第1層配線6L之構造係並不被限定於表示在第1圖及第2圖之構造者而可作各種變更，作成表示於例如第3圖至第5圖之構造者也可以。第3圖係覆蓋較薄導體膜6L1及較厚導體膜6L2地設置帽蓋導體膜6L3之構造。帽蓋導體膜6L3係例如W, TiN, Ti, Ta, WN, WSiN, TiSiN, TaN或TaSiN等所構成。該構造係特別適用於以Cu或Cu合金構成較厚導體膜6L2時，由於可更抑制Cu原子之擴散，因此，成為可更提高半導體積體電路裝置之可靠性，又，雖並未特別加以限定，惟與上層配線材料之關係，也可適用於直接接觸該配線材料與較厚導體膜6L2時會形成高電阻係數之合金等之情形。又，將帽蓋導體膜之上面形成與層間絕緣膜4a上面大約一致地而將帽蓋導體膜只設在較厚導體膜6L2之上面的構造也可以。

第4圖係表示僅以較厚導體膜6L2構成第1層配線6L的構造。亦即，沒有較薄導體膜之構造。第5圖係表示在第4圖之構造中，在較厚導體膜6L2之上面設置帽蓋導體膜6L3的構造。該構造係並未特別限定，惟以與上層配線材料之關係，適用於直接接觸該配線材料與較厚導體膜6L2時會形成高電阻係數之合金的情形。

配線用溝5a內之第1層配線6L係經連接用導體部

(請先閱讀背面之注意事項)

裝

訂

線

## 五、發明說明(12)

7 C 電氣式連接 n M O S 3 n 之半導體領域 3 n d 或 p M O S 3 p 之半導體領域 3 p d。連接用導體部 7 C 係其大部分埋入於從配線用溝 5 a 之底面向半導體基板 1 之上面而穿孔於層間絕緣膜 4 a 的連接孔 8 a 內，惟連接用導體部 7 C 之上部係貫穿第 1 層配線 6 L 之上下面地突出於第 1 配線 6 L 中。連接孔 8 a 之直徑係例如約 0.2 ~ 1.0  $\mu\text{m}$ ，較理想為例如約 0.4  $\mu\text{m}$ 。又，連接孔 8 a 之縱橫比係例如約 2 ~ 6，而考慮良好地實行連接用導體部時低於約 4 較理想。又，連接用導體部 7 C 之上面高度係與第 1 層配線 6 L 之上面高度大約一致。

連接用導體部 7 C 係由其下部與側部之相對地較薄的導體膜 7 C 1，及被較薄導體膜 7 C 1 所圍繞之相對地較厚的導體膜 7 C 2 所構成。較薄導體膜 7 C 1 係由具有提高連接用導體部 7 C 與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜 7 c 2 之構成原子之擴散的阻障功能的材料所構成，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta 或 TaSiN 等所構成。

以 W 等構成較薄導體膜 C 1 時，與以 TiN，Ti，Ta，WN，WSiN，TiSiN，Ta 或 TaSiN 等所構成時相比較，成為可降低配線電阻。雖並未特別限定，惟在本實施形態 1，較薄導體膜 7 C 1 由例如 W 所構成。

又，較厚導體膜 7 C 2 係構成連接用導體部 7 C 之本體的構件，例如由 Al，Al 合金，W 或 W 合金等之低電

(請先閱讀背面之注意事項再)(本頁)

裝

訂

線

### 五、發明說明(13)

阻的材料所構成。在較厚導體膜 7 C 2 之構成材料並未使 Cu 或 Cu 合金。亦即，在未實施形態 1 中，即使在第 1 層配線 6 L 之埋入導體膜 6 L 2 之構成材料使用 Cu 或 Cu 合金等，在與半導體基板 1 直接接觸之連接用導體部 7 C 之構成材料未使用 Cu 或 Cu 合金。由此，成為減低第 1 層配線 6 L 之配線電阻，且可抑制起因於 Cu 原子擴散至半導體基板側之連接不良。

在以 Al 或 Al 合金構成較厚導體膜 7 C 2 時，與以 W 或 W 合金所構成時相比較，成為可降低連接用導體部 7 C 之電阻。又，在以 W 或 W 合金構成埋入導體膜 7 C 2 時，與以 Al 或 Al 合金構成埋入埋入導體膜 7 C 2 時相比較時，成為可提高連接用導體部 7 C 之 EM 耐性及 SM 耐性。雖並未被限定，惟在本實施形態 1，較厚導體膜 7 C 2 例如以 W 所構成。因此，在本實施形態 1 中，在第 1 層配線 6 L 之高度位置的平面內，成為存有異種之導體膜（第 1 層配線 6 L 形成用之 Cu 等及連接用導體部 7 C 之 W 等）的構造。又，連接用導體部也構成者。

又，在上述之說明係說明配線用溝 5 a，5 b 內之第 1 層配線 6 L 以相同材料所構成之情形，惟並未被限定者。例如，埋入於配線用溝 5 b 之較厚導體膜 6 L 2 及較薄導體膜 6 L 1 之構成材料，係與埋入於配線用溝 5 a 之較厚導體膜 6 L 2 及較薄導體膜 6 L 1 之構成材料作成異種之導體材料也可以。例如在例如寬廣之配線用溝 5 a 及寬窄之配線用溝 5 b 內同時地埋入 Cu 等時，因寬窄之配線

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

### 五、發明說明 ( 14 )

用溝 5 b 有無法充分地埋入之情形，因此，在此時，寬廣之配線用溝 5 a 係以 C u 埋入，而寬窄之配線用溝 5 b 係介經 C V D 法埋入 W 等之情形的構造例。又，對於此時之形成方法係如下所述。

在層間絕緣膜 4 a 上，例如於矽氮化膜 4 6 1 上形成有比矽氮化膜較厚的氧化矽 4 4 2 的層間絕緣膜 4 b。矽氮化膜 4 b 1 係以 C u 系導電材料構成較厚導體膜 6 L 2 或埋入導體膜 7 C 2 時，功能作為防止 C u 之擴散之緩衝膜。又，形成下述之連接孔 8 d 時，將矽氮化膜 4 b 1 使用作為蝕刻止動件，蝕刻氧化矽 4 b 2，然後蝕刻矽氮化膜 4 b 2 加以除去。又，以 C u 系以外之導電材料構成較厚導體膜 6 L 2 或埋入導體膜 7 C 2 時，不用矽氮化膜 4 b 1 也可以。在該層間絕緣膜 4 b 之上部，形成有寬度不同之配線用溝 5 c，5 d。配線用溝 5 c，5 d 之深度係相同，例如約 0.3 ~ 1.0  $\mu\text{m}$ ，較理想為約 0.6  $\mu\text{m}$ 。又，配線用溝 5 c 之縱橫比係例如約 0.1 ~ 1.0，考慮良好地埋入配線用導體膜時小於 0.7 者較理想。又，配線用溝 5 d 之縱橫比係例如約 0.5 ~ 2.5，考慮良好地埋入配線用導體膜時小於 1.5 者較理想。

氧化矽膜 4 b 2 係例如以 C V D 法所形成的 T E O S 膜或 S O G 膜所構成。使用低介質係數之 S O G ( Spin on Glass ) 膜，可減低配線間的電容，並可提高電路之動作速度。

### 五、發明說明 (15)

在該配線用溝 5 c, 5 d 內, 如第 1 圖及第 6 圖所示, 以埋入狀態形成有第 2 層配線 9 L。該第 2 層配線 9 L 係由下部與側部之相對地較薄的導體膜 9 L 1, 及被該較薄導體膜 9 L 1 所圍繞之相對地較厚的導體膜 9 L 2 所構成。

較薄導體膜 9 L 1 係由具有提高第 2 層配線 9 L 與層間絕緣膜 4 b 之密接性的功能或抑制較厚導體膜 9 L 2 之構成原子之擴制的阻障功能的材料所構成, 例如由 W, TiN, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等所構成。

以 W 等構成薄膜導體膜 9 L 1 時, 與以 TiN, Ti, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等所構成之情形相比較, 成為可降低配線電阻。雖並未特別地被限定, 惟在本實施例 1 中, 較薄導體膜 9 L 1 係以例如 TiN 所構成。

又, 較厚導體膜 9 L 2 係構成第 2 層配線 9 L 之本體的構件, 例如 Al, Al 合金, W, 以合金, Cu 或 Cu 合金之低電阻之材料所構成。以 Cu 或 Cu 合金構成該較厚導體膜 9 L 2 時, 與以 Al 或 W 構成時相比較, 成為可大幅度降低配線電阻。又, 與 Al 或 Al 合金構成較厚導體膜 9 L 2 時相比較, 也成為可提高第 2 層配線 9 L 之 EM 耐性。雖並未特別地被限定, 惟在本實施形態中, 較厚導體膜 9 L 2 以例如 Cu 所構成。

但是, 第 2 層配線 9 L 之構造也並未被限定在表示於

(請先閱讀背面之注意事項再  
入本頁)

裝

訂

總



## 五、發明說明(16)

第1圖及第6圖之構造者而可做各種變更。例如表示於以上述第1層配線6L所說明之第3圖至第5圖的構造也可以。亦即，在較厚導體膜9L2及較薄導體膜9L1之上面設置帽蓋導體膜之構造也可以。該帽蓋導體膜係例如W等之低電阻材料或具有TiN, Ti, Ta, WN, WSiN, TiSiN, TaN或TaSiN等之阻障功能的材料所構成。該構造係特別適用在以Cu或Cu合金構成較厚導體膜9L2時，由於可更抑制Cu原子之擴散，因此，成為可更提高半導體積體電路裝置之可靠性。又，雖並未特別被限定，惟與上層之配線材料之關係。適用於直接接觸該配線材料與較厚導體膜9L2時會形成較高電阻係數之合金等的情形。又將帽蓋導體膜之上面與層間絕緣膜4a之上面大約一致地將帽蓋導體膜僅設在較厚導體膜9L2之上面的構造也可以。

作為其他構造，僅以較厚導體膜9L2構成第2層配線9L之構造也可以。亦即，沒有較薄之導體膜的構造，又，作為其他之構造，在沒有該較薄導體膜之構造下，在較厚導體膜9L2之上面設置帽蓋導體膜之構造也可以。該構造係並未特別被限定，惟與上層之配線材料之關係，適用於直接接觸該配線材料與較厚導體膜9L2時會形成高固有電阻值之合金等的情形。

形成於該配線用溝5c內的第2層配線9L係經連接用導體部10C而與第1層配線6L電氣式地連接。連接用導體部10C係其大部分埋入在從配線用溝5C之底面

(請先閱讀背面之注意事項)

裝

訂

線

## 五、發明說明(17)

向第1層配線6L上面且穿孔於層間絕緣膜4b之連接孔8b內，惟連接用導體部10C之上部係突出於第2層配線9L中成為貫穿第2層配線9L之上下面之狀態。連接孔8b之直徑係例如約 $0.2 \sim 1.2 \mu m$ ，較理想為例如約 $0.4 \mu m$ 。又，連接孔8b之縱橫比係約 $2 \sim 6$ ，考慮良好地實行連接用導體部之埋入時，則小於4較理想。又，連接用導體部10C之上部高度係與第2層配線9L之上部高度大約一致，亦即，與層間絕緣膜4b之上部高度大約一致。

連接用導體部10C係由在其下部與側部之相對地較薄導體膜10C1，及被較薄導體膜10C1所圍繞之相對地較厚導體膜10C2所構成。較薄導體膜10C1係具有提高連接用導體部10C與層間絕緣膜4b密接性的功能或抑制較厚導體膜10C2之構成原子之擴散的阻障功能的材料所構成，例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N或TaSiN等所構成。

以W等構成較薄導體膜10C1時，與以TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N或TaSiN等構成時相比較，成為可降低配線電阻。雖並未特別被限定，惟在本實施形態1中，較薄導體膜10C1係以例如W所構成。

又，較厚導體膜10C2係構成連接用導體部10C之本體的構件。例如Al，Al合金，W，W合金，Cu

(請先閱讀背面之注意事項再  
裝訂)

裝

訂

線

### 五、發明說明 ( 18 )

或 Cu 合金等之低電阻的材料所構成。介經以例如 Cu 或 Cu 合金構成較厚導體膜 10C2，與以 Al，Al 合金，W 或 W 合金所構成之情形相比較，可降低連接用導體部 10C 之電阻，且可提高連接用導體部 10C 之 EM 耐性。以 Al 或 Al 合金構成較厚導體膜 10C2 時，與以 W 或 W 合金構成時相比較，成為可降低連接用導體部 10C 之電阻。又，以 W 或 W 合金構成較厚導體膜 10C2 時，與以 Al 或 Al 合金構成較厚導體膜 10C2 時相比較，成為可提高連接用導體部 10C 之 EM 耐性及 SM 耐性。雖並未特別被限定，惟在本實施形態 1 中，較厚導體膜 10C2 係由例如 W 所構成。

又，在層間絕緣膜 4b，從其上面向第 1 層配線 6L 上面穿孔而穿孔有使第 1 層配線 6L 之一部露出的連接孔 8C，而在該連接孔 8C 以埋入狀態形成有連接用導體部 10C。該連接孔 8C 之直徑係例如約 0.2 ~ 1.2  $\mu\text{m}$ ，較理想為例如約 0.4  $\mu\text{m}$ 。又，連接孔 8C 之縱橫比係約 2 ~ 6，而考慮良好地實行連接用導體部之埋入時，小於約 4 較理想。該連接用導體部 10C 係構造與上述者相同，惟在第 1 圖中，與第 2 層配線 9L 並未直接連接。但是，將埋入於連接孔 8C 之連接用導體部 10C 之較厚導體膜 10C2 及較薄導體膜 10C1 的構成材料，與埋入於連接孔 8b 之連接用導體部 10C 之較厚導體膜 10C2 及較薄導體膜 10C1 之構成材料係以異種之導體材料所構成也可以。

(請先閱讀背面之注意事項再  
裝訂)

裝

訂

線

## 五、發明說明(19)

又，在上述之說明針對配線用溝 5 c，5 d 內之第 2 層配線 9 L 以相同材料所構成時加以說明，惟並未被限定於此者，例如將埋入於配線用溝 5 d 之較厚導體膜 9 L 2 及較薄導體膜 9 L 1 之構成材料與埋入於配線用溝 5 C 之較厚導體膜 9 L 2 及較薄導體膜 9 L 1 之構成材料以異種之導體材料所構成較理想。此乃若將 Cu 等同時地埋入例如寬廣之配線用溝 5 C 及寬窄之配線用溝 5 d 內時，由於有無法充分地埋入寬窄之配線用溝 5 d，因此，在此時，寬廣之配線用溝 5 C 係以 Cu 埋入，而寬窄之配線用溝 5 d 係介經 CVD 法等埋入 W 等之情形的構造例。又此時之形成方法將如下述。

在層間絕緣膜 4 b 上，形成有例如與層間絕緣膜 4 b 同樣地以氮化矽膜 4 C 1 與氧化矽膜 4 C 2 所構成的層間絕緣膜 4 C。在該層間絕緣膜 4 C 之上部，形成有寬度不同之配線用溝 5 e，5 f，配線用溝 5 e，5 f 之深度係相同。例如約  $0.3 \sim 1.0 \mu\text{m}$ ，較理想是約  $0.6 \mu\text{m}$ 。又，配線用溝 5 e 之縱橫比係例如約  $0.1 \sim 1.0$ ，考慮良好地埋入配線用導體膜時，比  $0.7$  小者較理想。又，配線用溝 5 f 之縱橫比係例如約  $0.5 \sim 2.5$ ，考慮良好地埋入配線用導體膜時，比  $1.5$  小者較理想。

在該配線用溝 5 e，5 f 內，如第 1 圖所示，以埋入狀態形成有第 3 層配線 11 L。該第 3 層配線 11 L 係下部與側部之相對地較薄導體膜 11 L 1，及被該較薄導體

(請先閱讀背面之注意事項再) (本頁)

裝

訂

線

## 五、發明說明 (20)

膜 1 1 L 1 所圍繞之相對地較厚導體膜 1 1 L 2 所構成。

較薄導體膜 1 1 L 1 係具有提高第 3 層配線 1 1 L 與層間絕緣膜 4 C 之密接性的功能或抑制較厚導體膜

1 1 L 2 之構成原子之擴散的阻障功能的材料所構成，例如 W，TiN，Ti，Ta，WN，WSiN，

TiSiN，TaN 或 TaSiN 等所構成。

在以 W 等構成較薄導體膜 1 1 L 1 時，與以 TiN，Ti，Ta，WN，WSiN，TiSiN，TaN 或 TaSiN 等所構成時相比較成為可降低配線電阻。又，在以 TiN，Ti，Ta，WN，WSiN，TiSiN，TaN 或 TaSiN 等構成較薄導體膜 1 1 L 1 時，成為特別是提高與層間絕緣膜 4 C 之密接性。雖並不被特別限定，惟在本實施形態 1，較薄導體膜 1 1 L 1，係由例如 TiN 所構成。

又，較厚導體膜 1 1 L 2 係構成第 3 層配線 1 1 L 之本體的構件，例如 Al，Al 合金，W，W 合金，Cu 或 Cu 合金之低電阻的材料所構成。在以 Cu 或 Cu 合金構成該較厚導體膜 1 1 L 2 時，與以 Al 或 W 構成時相比較，成為可大幅地降低配線電阻。又，在以 Al 或 Al 合金構成較厚導體膜 1 1 L 2 時相比較，成為可提高第 3 層配線 1 1 L 之 EM 耐性。雖並不被特別限定，惟在本實施形態 1，較厚導體膜 1 1 L 2，係由例如 Cu 所構成。

但是，第 3 層配線 1 1 L 之構造也並未被限定在表示於第 1 圖之構造者而可做各種變更。例如表示於以上述第

(請先閱讀背面之注意事項再  
裝  
訂  
線  
本頁)

## 五、發明說明(21)

1 層配線 6 L 所說明之第 3 圖至第 5 圖的構造也可以。亦即，在較厚導體膜 1 1 L 2 及較薄導體膜 1 1 L 1 之上面設置帽蓋導體膜之構造也可以。該帽蓋導體膜係例如 W 等之低電阻材料或具有 TiN, Ti, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等之阻障功能的材料所構成。該構造係特別適用在以 Cu 或 Cu 合金構成較厚導體膜 1 1 L 2 時，由於可更抑制 Cu 原子之擴散，因此，成為可更提高半導體積體電路裝置之可靠性。又，雖並未特別被限定，惟與上層之配線材料之關係。適用於直接接觸該配線材料與較厚導體膜 1 1 L 2 時會形成較高電阻係數之合金等的情形。又將帽蓋導體膜之上面與層間絕緣膜 4 a 之上面大約一致地將帽蓋導體膜僅設在較厚導體膜 1 1 L 2 之上面的構造也可以。

作為其他構造，僅以較厚導體膜 1 1 L 2 構成第 3 層配線 1 1 L 之構造也可以。亦即，沒有較薄之導體膜的構造，又，作為其他之構造，在沒有該較薄導體膜之構造下，在配線用溝 5 a 之上面設置帽蓋導體膜之構造也可以。該構造係並未特別被限定，惟與上層之配線材料之關係，適用於直接接觸該配線材料與較厚導體膜 1 1 L 2 時會形成高固有電阻值之合金等的情形。

形成於該配線用溝 5 e, 5 f 內的第 2 層配線 1 1 L 係經連接用導體部 1 2 C 而與第 2 層配線 9 L 電氣式地連接。連接用導體部 1 2 C 係其大部分埋入在從配線用溝 5 e, 5 f 之底面向第 2 層配線 9 L 上面且穿孔於層間絕

(請先閱讀背面之注意事項再  
訂本頁)

裝

訂

## 五、發明說明 ( 22 )

緣膜 4 c 之連接孔 8 d 內，惟連接用導體部 1 2 C 之上部係突出於第 3 層配線 1 1 L 中成為貫穿第 3 層配線 1 1 L 之上下面之狀態。連接孔 8 d 之直徑係例如約 0 . 2 ~ 1 . 2  $\mu$  m，較理想為例如約 0 . 4  $\mu$  m。又，連接孔 8 d 之縱橫比係約 2 ~ 6，考慮良好地實行連接用導體部之埋入時，則小於 4 較理想。又，連接用導體部 1 2 C 之上面高度係與第 3 層配線 1 1 L 之上面高度大約一致，亦即，與層間絕緣膜 4 c 之上面高度大約一致。

連接用導體部 1 2 C 係由在其下部與側部之相對地較薄導體膜 1 2 C 1，及被較薄導體膜 1 2 C 1 所圍繞之相對地較厚導體膜 1 2 C 2 所構成。較薄導體膜 1 2 C 1 係具有提高連接用導體部 1 2 C 與層間絕緣膜 4 c 密接性的功能或抑制較厚導體膜 1 2 C 2 之構成原子之擴散的阻障功能的材料所構成，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成。

以 W 等構成較薄導體膜 1 2 C 1 時，與以 TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等構成時相比較，成為可降低配線電阻。雖並未特別被限定，惟在本實施形態 1 中，較薄導體膜 1 2 C 1 係以例如 W 所構成。

又，較厚導體膜 1 2 C 2 係構成連接用導體部 1 2 C 之本體的構件。例如 Al，Al 合金，W，W 合金，Cu 或 Cu 合金等之低電阻的材料所構成。介經以例如 Cu 或

(請先閱讀背面之注意事項再  
裝  
訂  
本頁)

## 五、發明說明 ( 23 )

Cu 合金構成較厚導體膜 12C2，與以 A1，A1 合金，W 或 W 合金所構成之情形相比較，可降低連接用導體部 12C 之電阻，且可提高連接用導體部 12C 之 EM 耐性。以 A1 或 A1 合金構成較厚導體膜 12C2 時，與以 W 或 W 合金構成時相比較，成為可降低連接用導體部 12C 之電阻。又，以 W 或 W 合金構成較厚導體膜 12C2 時，與以 A1 或 A1 合金構成較厚導體膜 12C2 時相比較，成為可提高連接用導體部 12C 之 EM 耐性及 SM ( Stress Migration ) 耐性。雖並未特別被限定，惟在本實施形態 1 中，較厚導體膜 12C2 係由例如 W 所構成。

又，在層間絕緣膜 4c，從其上面向第 2 層配線 9L 上面穿孔而穿孔有使第 2 層配線 9L 之一部露出的連接孔 8e，而在該連接孔 8e 以埋入狀態形成有連接用導體部 12C。該連接孔 8e 之直徑係例如約 0.2 ~ 1.2  $\mu\text{m}$ ，較理想為例如約 0.5  $\mu\text{m}$ 。又，連接孔 8e 之縱橫比係約 2 ~ 6，而考慮良好地實行連接用導體部之埋入時，小於約 4 較理想。該連接用導體部 12C 係構造與上述者相同，惟在第 1 圖中，與第 3 層配線 11L 並未直接連接。又，該連接用導體部 12c 係與形成於下層連接孔 8c 內的連接用導體部 10c 連接而電氣式地連接。亦即，在本實施形態 1 中，在具有埋入配線構造的配線層中，具有連接用導體部 10c，12c 彼此間以貫穿所定配線層之狀態下互相地電氣式地連接的構造。

介經將連接用導體部 12c 以與連接用導體部 10c

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



### 五、發明說明 ( 24 )

相同構成材料所形成。故可降低連接限力。亦即，由於將連接用導體部 10 c 與 12 c 間，與經由以不同導體材料所構成之第 2 層配線 9 L 連接時相比較，可降低接觸電阻等，因此，可降低連接電阻。

但是，將欲埋入於連接孔 8 e 之連接用導體部 12 c 之較厚導體膜 12 C 2 與較薄導體膜 12 C 1 的構成材料，與埋入於連接孔 8 e 之連接用導體部 12 C 之較厚導體膜 12 C 2 與較薄 12 C 1 的構成材料，以異種之導體材料所構成也可以。

又，第 1 圖右邊之連接用導體部 10 C，12 C 彼此間的連接構造係如第 7 圖所示，經貫穿層間絕緣膜 4 c，4 b 之連接孔 8 e 1 內之一個連接用導體 12 c 直接電氣地連接第 3 層配線 11 L 與第 1 層配線 6 L 的構造也可以。由此，可降低連接電阻。

在層間絕緣膜 4 c 上，形成有與層間絕緣膜 4 b 同樣地以氮化矽膜 4 d 1 與氧化矽 4 d 2 所構成的層間絕緣膜 4 d。在該層間絕緣膜 4 d 之上面，形成有第 4 層配線 13 L。第 4 層配線 13 L，13 L 係由例如 A1 或 A1 合金所構成，經貫穿於層間絕緣膜 4 d 之連接孔 8 f，8 f，分別與下層之第 3 層配線 11 L 與連接用導體部 12 c 電氣式地連接。

作為最上面之第 4 層配線 13 L 的構成材料，介經使用例如 A1 或 A1 合金等，仍直接使用以往就有之搭接線端的連接技術或隆起電極的形成技術。亦即，最上面之配

(請先閱讀背面之注意事項再為本頁)

裝

訂

### 五、發明說明 ( 25 )

線層係連接有搭接線端或隆起電極，惟介經將最上面之配線材料作為以往就使用 A 1 或 A 1 合金，成為可仍然使用搭接線端或隆起電極之接合上的以往技術。因此，不會隨著裝配製程（線接合過程或隆起電極形成過程）之技術上變更，成為可將具有 C u 系材料所構成之埋入配線構造的半導體積體電路裝置導入在裝配線。因此，可減低具有 C u 系材料所構成之埋入配線的半導體積體電路裝置之成本，並可縮短製造與開發時間。

該連接孔 8 f 之直徑係例如約  $0.2 \sim 1.2 \mu m$ ，較理想是例如約  $0.5 \mu m$ 。又，連接孔 8 f 之縱橫比係約  $2 \sim 6$ 。考慮良好地實行連接用導體部 1 4 c 之埋入。比 4 小較理想。在連接孔 8 f，埋入有連接用導體部 1 4 c。連接用導體部 1 4 c 係由其下部與側部之相對地較薄導體膜 1 4 C 1，及被較薄導體膜 1 4 C 1 所圍繞之相對地較厚導體膜 1 4 C 2 所構成。又，該連接用導體 1 4 C 係未貫穿第 4 層配線 1 3 L。

較薄導體膜 1 4 C 1 係由具有提高連接用導體部 1 4 C 與層間絕緣膜 4 d 之密接性的功能或抑制較厚導體膜 1 4 C 2 之構成原子之擴散的阻障功能的材料所構成，例如例如 W，T i N，T i，T a，W N，W S i N，T i S i N，T a 或 T a S i N 等所構成。以 W 等構成較薄導體膜 1 4 C 1 時，與以 T i N，T i，T a，W N，W S i N，T i S i N，T a N 或 T a S i N 等所構成時相比較，成為可降低配線電阻。雖並未特別限定，惟在本

(請先閱讀背面之注意事項再為本頁)

裝

訂

炮

## 五、發明說明 ( 26 )

實施形態 1，較薄導體膜 14 C 1 由例如 W 所構成。

又，較厚導體膜 14 C 2 係構成連接用導體部 14 C 之本體的構件，例如 A 1，A 1 合金，W 或 W 合金之低電阻的材料所構成。以 A 1 或 A 1 合金構成較厚導體膜

14 C 2 時，與以 W 或 W 合金所構成時相比較，成為可降低連接用導體部 14 C 之電阻。又，在以 W 或 W 合金構成較厚導體膜 14 C 2 時，與以 A 1 或 A 1 合金構成較厚導體膜 14 C 2 時相比較，成為可提高連接用導體部 14 C 之 E M 耐性及 S M 耐性。又，以 W 或 W 合金構成較厚導體膜 14 C 2 時。由於以較厚阻障金屬可隔離構成第 3 層配線 11 L 之 Cu 與構成第 4 層配線 13 L 之 A 1 或 A 1 合金，因此，容易防止因兩者之反應所產生之電阻上昇。亦即，介經在連接孔 8 f 埋入具有阻障性能的材料，由於可隔離以 Cu 系材料所構成的第 3 層配線，與以 A 1 系材料所構成的第 4 層配線 13 L 之距離，故可減低兩者之反應。雖並未特別被限定，惟在本實施形態 1 中，較厚導體膜 14 C 2 係由例如 W 所構成。

在層間絕緣膜 4 d 上，形成有表面保護膜 15。由此，覆蓋第 4 層配線 13 L 之表面。表面保護膜 15 係例如在保護膜 15 a 上重疊保護膜 15 b 所形成。保護膜

15 a 係例如 SiO<sub>2</sub> 所構成，而其上層之之保護膜 15 b 係例如氮化矽所構成。在表面保護膜 15 之一部分，形成有露出第 4 層配線 13 L 之一部分的開口部 16。在第 4 層配線 13 L 中，從該開口部 16 所露出的部分，係形成

### 五、發明說明 ( 27 )

搭接襯墊部 B P。亦即，在該搭接襯墊部 B P，直接連接有搭接線端，並經該線，構成半導體積體電路裝置之封裝之導線成為電氣式地連接。又，在該結合片部 B P 上經由底質金屬層作成設置鉛－錫合金或金等所構成的隆起電極之構造也可以。又，上述之層間絕緣膜 4 a ~ 4 d 係例如以 S O G ( Spin on Glass ) 法所形成的塗布膜，有機膜，添加氟之 C V D 膜，氮化矽膜或重疊此等所形成的疊層膜也可以。

以下，依照第 8 圖至第 18 圖說明本實施形態 1 的半導體積體電路裝置之製法。

首先，依照第 8 圖至第 12 圖說明相同材料所形成的埋入配線之形成方法。又，在此，由於第 1 層配線 6 L，第 2 層配線 9 L 及第 3 層配線 11 L 之構造係相同，而為了簡化說明，因此，以第 1 層配線 6 L 作為代表例說明入配線之形成方法。

第 8 圖係表示製程中之半導體積體電路裝置的要部剖面圖。在形成於半導體基板 1 上的層間絕緣膜 4 a，藉由光刻法技術及乾蝕刻法技術已經被穿孔能露出半導體基板 1 之主面（半導體領域 3 n d）的連接孔 8 a。又，層間絕緣膜 4 a 係以例如矽氧化膜，以 S O G 法所形成的氧化矽膜，有機膜，添加氟之 C V D 膜，氮化矽膜或重疊此等所形成之疊層膜等所構成。層間絕緣膜 4 a 係將介經例如 C V D ( Chemical Vapor Deposition ) 法所堆積之矽氧化膜，介經 C M P 法等施以研磨，使其表面成為平坦化。

(請先閱讀背面之注意事項再為本頁)

裝

訂

結

### 五、發明說明 ( 28 )

然後，如第 9 圖所示，在層間絕緣膜 4 a 之上面，連接孔 8 a 之側面及底面，藉由濺射法等覆蓋例如 W 等所構成的較薄導體膜 7 C 1。該較薄導體膜 7 C 1 係具有提高連接用導體部與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜 7 C 2 之形成時的材料氣體等之擴散或較厚導體膜 7 C 2 之構成原子之擴散的阻障功能的材料所構成，並不被限定於 W 者而可施以各種變更，例如 TiN, Ti, Ta, WN, WSiN, TiSiN, Ta 或 TaSiN 等也可以。

然後，在薄導體膜 7 C 1 上，藉由 CVD 法等覆蓋例如 W 等所構成之較厚導體膜 7 C 2。由此，在微細之連接孔 8 a 內可良好地填充導體膜。較厚導體膜 7 C 2 係並不被限定於 W 等者而可施以各種變更，例如 Al 或 Al 合金等之低電阻材料也可以。又，較厚導體膜 7 C 2 之形成方法係並不被限定於 CVD 法者，例如組合濺射法，CVD 法，電鍍法等也可以。

但是，在第 2 層配線及第 3 層配線中，作為連接用導體部 10 C, 12 C (參照第 1 圖) 之較厚導體膜之形成材料，除了上述之材料外，也可以使用 Cu 或 Cu 合金。作為此時之 Cu 的成膜方法，例如使用 CVD 或電鍍法等即可以。

然後，對於半導體基板 1 介經施以例如 CMP 處理，介經除去連接孔 8 a 以外之領域的層間絕緣膜 4 a 上之較厚導體膜 7 C 2 及較薄導體膜 7 C 1，如第 10 圖所示，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明 ( 29 )

在連接孔 8 a 內形成連接用導體部 7 C。

然後，如第 11 圖所示，在層間絕緣膜 4 a 上，形成配線用溝形成用之光阻圖案 17 a，將此作為蝕刻掩蔽，介經從該光阻圖案 17 a 除去露出的層間絕緣膜 4 a 部分，在層間絕緣膜 4 a 之上部形成配線用溝 5 a 及配線用溝 5 b（參照第 1 圖）。此時，在配線用溝 5 a 中突出事先所形成之連接用導體部 7 c 之上部。

然後，除去光阻圖案 17 a 之後，如第 12 圖所示。在包含配線用溝 5 a 之層間絕緣膜 4 a 之表面及連接用導體部 7 C 之露出表面，藉由濺射法覆蓋例如 TiN 等所構成的較薄導體膜 6 L 1。該較薄導體膜 6 L 1 係具有提高第 1 層配線與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於 TiN 者，可施以各種變更，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN 或 TaSiN 等也可以。

然後，在較薄導體膜 6 L 1 上，藉由 CVD 法，濺射法或電鍍法，或組合此等等覆蓋例如 Cu 等所構成的較厚導體膜 6 L 2。在該 Cu 等之成膜時，儘可能採用伸出（Overhang）較小之階梯覆蓋（Step Coverage）優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜 6 L 2 係並不被限定於 Cu 者，可施以各種變更，例如 Cu 合金，Al、Al 合金，W 或 N 合金也可以。

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

### 五、發明說明 ( 30 )

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板 1 施以熱處理，流動較厚導體膜 6 L 2 之構成原子（例如 Cu）而將該構成原子充分地供給並埋入在配線用溝 5 a 內。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在 Cu 之濺射期間施行該熱處理的所謂反流濺射法也可以。由此，可提高 Cu 配線之 EM 特性。

之後，介經對於半導體基板 1 施以 CMP 處理，介經除去配線用溝 5 a，5 b（參照第 1 圖）以外之領域的層間絕緣膜 4 a 上之較厚導體膜 6 L 2 及較薄導體膜 6 L 1，形成表示於第 2 圖等的第 1 層配線 6 L。

在該 CMP 處理後或處理前對於半導體基板 1 施以熱處理也可以。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該 CMP 處理後之熱處理過程，促進較厚半導體基板 6 L 2 的 Cu 之粒子成長並提高 EM 耐性，同時在 CMP 處理時避免產生在較薄導體膜 6 L 1 及較厚導體膜 6 L 2 之表面的損傷或氧化膜而得其表面成為平滑。同時除去減低絕緣膜 4 a 的表面污染。由此，成為可提高配線之可靠性。

以下，藉第 13 圖至第 18 圖說明在相同之埋入配線層形成異種導體材料所構成的埋入配線之方法。此乃相當於在上述相同配線層內存有異種導體材料所構成之配線時

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

### 五、發明說明 ( 31 )

的形成方法例子。又，在本實施形態 1，將在配線用溝 5 a，5 b 內形成異種導體材料所構成的第 1 層配線 6 L 之情形作為代表例子加以說明。

第 13 圖係表示半導體積體電路裝置之製程中之層間絕緣膜 4 a 的要部斜視圖。在層間絕緣膜 4 a 之上部，配線用溝 5 a 藉由光刻法技術及乾蝕刻技術所形成。

然後，如第 14 圖所示，在包括配線用溝 5 d 的層間絕緣膜 4 a 之表面，藉由濺射法覆蓋例如 TiN 等所構成的較薄導體膜 6 L 1。該較薄導體膜 6 L 1 係具有提高第 1 層配線與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不限定於 TiN 者，可施以各種變更，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等也可以。

然後，在較薄導體膜 6 L 1 上，藉由 CVD 法，濺射法或電鍍法等覆蓋例如 Cu 等所構成的較厚導體膜 6 L 2。在該 Cu 等之成膜時，儘可能採用伸出較小之分步數層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜 6 L 2 係並不限定於 Cu 者，可施以各種變更，例如 Cu 合金，Al、Al 合金，W 或 N 合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板 1 施以熱處理，流動較厚導體膜 6 L 2 之構成原子（例如 Cu）而將該構成原子充分地供

（請先閱讀背面之注意事項再為本頁）

裝

訂

線



### 五、發明說明 ( 32 )

給並埋入在配線用溝 5 a 內。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在 Cu 之濺射期間施行該熱處理的所謂回流濺射法也可以。由此，可提高 Cu 配線之 EM 特性。

之後，介經對於半導體基板 1 施以 CMP 處理，介經除去配線用溝 5 a，以外之領域的層間絕緣膜 4 a 上之較厚導體膜 6 L 2 及較薄導體膜 6 L 1，如第 15 圖所示，在配線用溝 5 a 內形成第 1 層配線 6 L。

在該 CMP 處理後或處理前對於半導體基板 1 施以熱處理也可以。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該 CMP 處理後之熱處理過程，促進較厚半導體基板 6 L 2 的 Cu 之粒子成長並提高 EM 耐性，同時在 CMP 處理時避免產生在較薄導體膜 6 L 1 及較厚導體膜 6 L 2 之表面的損傷或氧化膜而得其表面成為平滑。同時除去減低絕緣膜 4 a 的表面污染。由此，成為可提高配線之可靠性。

然後，如第 16 圖所示，在層間絕緣膜 4 a 上部藉由光刻法技術及乾蝕刻技術形成比配線用溝 5 a 寬窄或長度短的配線用溝 5 b。此時，配線用溝 5 b 之深度係與配線用溝 5 a 相同也可以，惟設定與配線用溝 5 a 之深度不同深度也可以。例如第 17 圖所示，將配線用溝 5 b 之深度比配線用溝 5 a 之深度較深也可以。此時，配線用溝 5 b

### 五、發明說明 ( 33 )

係寬度係狹窄，惟較深，因此，成為可降低埋入在配線用溝 5 b 內的導體膜之配線電阻。或將配線用溝 5 b 形成較深，達到下層配線層或半導體基板，也可使用於連接用。

然後，與上述同樣地，在配線用溝 5 a 內之第 1 層配線 6 L 之上面及包括配線用溝 5 b 之層間絕緣膜 4 a 之表面，藉由濺射法等覆蓋例如 W 等所構成的較薄導體膜。該較薄導體膜係具有提高第 1 層配線與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於 W 者而可施以各種變更，例如 TiN, Ti, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等也可以。

然後，在薄導體膜上，藉由 CVD 法等覆蓋例如 W 等所構成之較厚導體膜。在該 W 等之成膜時，儘可能採用伸出較小之分步數層優異之方法較理想。由此，即使在寬窄之配線用溝 5 b，又，如第 17 圖所示地，即使比配線用溝 5 a 較深之配線用溝 5 b，也成為在其內部可良好地填充配線用導體。該較厚導體膜，係並不被限定於 W 者；可施以各種變更，例如 W 合金，Al 或 Al 合金也可以。

然後，對於半導體基板 1 介經施以 CMP 處理，介經除去配線用溝 5 b 以外之領域的較厚導體膜及較薄導體膜，如第 18 圖所示，在比配線用溝 5 a 寬窄之配線用溝 5 b 內。形成與配線用溝 5 a 內之較薄導體膜 6 L 1 及較厚導體膜 6 L 2 係異種導體材料所構成之較厚導體膜 6 L 1 及較厚導體膜 6 L 2 所構成的第 1 層配線 6 L。

(請先閱讀背面之注意事項再為本頁)

裝

訂

## 五、發明說明 ( 34 )

如此，依照本實施形態 1，成為可得到以下之效果。

( 1 ) 在微細連接孔 8 a ~ 8 f 內使用 C V D 法等填充導體膜之後，形成比連接孔 8 a ~ 8 f 平面尺寸較大之配線用溝 5 a ~ 5 f，在該配線用溝 5 a ~ 5 f 內填充導體膜，介經形成埋入構造之第 1 配線層 6 L，連接用導體部 7 C，第 2 層配線 9 L，連接用導體部 10 C，第 3 層配線 11 L 及連接用導體部 12 C，成為在配線用溝 5 a ~ 5 f 及比其較微細之連接孔 8 a ~ 8 f 雙方可良好地填充導體膜。

( 2 ) 在相同配線層具有不同配線用溝等時，介經選擇以微細之配線用溝等與比其更大之配線用溝等容易埋入之方法來埋入導體膜，成為在雙方之配線用溝內可良好地埋入導體膜。

( 3 ) 介經上述 ( 1 ) 或 ( 2 )，成為可提高配線層間之連接上的可靠性。因此，成為可提高半導體積體電路裝置之良品率及可靠性。

( 4 ) 介經上述 ( 1 ) 或 ( 2 )，成為可推動埋入配線之微細化。因此，成為可推動半導體積體電路裝置之小型化或高積體化。

( 5 ) 介經上述 ( 1 ) 或 ( 2 )，不必採用難技術，在配線用溝 5 a 至 5 f 及連接孔 8 a 至 8 f 可良好地埋入導體膜。

( 6 ) 介經上述 ( 1 ) 或 ( 2 )，成為作為埋入配線

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

### 五、發明說明 (35)

材料即使使用 Cu 或 Cu 合金等時也可良好地實施其埋入狀態。

(7) 與半導體基板 1 直接接觸之連接用導體部 7 C 係以 W 係 (W 或 W 合金) 之導體材料所構成，且與連接用導體部 7 C 連接之第 1 層配線 6 L 係介經以 Cu 系之導體材料所構成，一面良好地保持導體膜對於連接孔 8 a 內之埋入狀態，一面防止 Cu 原子對於半導體基板 1 側之擴散，能避免起因於其擴散現象的連接不良，且減低第 1 層配線 6 L 之配線電阻而成為可提高信號之傳播速度。

(8) 介經以 Al 系 (Al 或 Al 合金) 之導體材料構成最上之第 4 層配線 13 L，仍可沿用以往之線接合技術或隆起電極之形成技術等之裝配技術。因此，成為可將 Cu 系之埋入配線的半導體積體電路裝置容易地導入在裝配過程。

(9) 介經在 Al 系之導體材料所構成的第 4 層配線 13 L 與其下層之 Cu 系之導體材料所構成的第 3 層配線 11 L 之間，設置 W 系之導體材料所構成的連接用導體部 14 C，由於以較厚阻障金屬隔離 Al 系之導體材料與 Cu 系之導體材料，防止直接接觸 Al 系之導體材料與 Cu 系之導體材料時於其接觸部形成高電阻係數之合金層，因此，成為可降低配線層間之電阻。

(10) 介經在用以形成 Cu 系導體材料所構成之埋入配線的 CMP 處理後對於半導體基板 1 施以熱處理，由於促進 Cu 之粒子成長而提高 EM 耐性，而且在 CMP 處

(請先閱讀背面之注意事項再  
入本頁)

裝

訂

線

## 五、發明說明 ( 36 )

理時可避免產生在配線用導體膜之表面的損傷或氧化膜等將其表面成為平滑，或可除去減低CMP時所露出的絕緣膜之表面污染，因此，成為可提高Cu系之導體材料所構成的埋入配線之可靠性。

### (實施形態2)

第19圖至第23圖係表示本發明之其他實施形態的半導體積體電路裝置之製程的要部剖面圖，第24圖係表示半導體積體電路裝置的要部剖面圖。

在本實施形態2，係連接用導體部之構造及其形成方法與上述實施形態1不同。

首先，如第19圖所示，在層間絕緣膜4a之上面形成配線用溝形成用之光阻圖案17b後，將該光阻圖案17b作為蝕刻掩蔽而介經施以蝕刻處理，在層間絕緣膜4a上部形成配線用溝5a。

然後，除去光阻圖案17b之後，如第20圖所示，在層間絕緣膜4a上形成連接孔形成用之光阻圖案17C之後，將該光阻圖案17C作為蝕刻掩蔽施以蝕刻處理，將如從配線用溝5a之底面向半導體基板1延伸，且能露出半導體基板1上面之一部分的連接孔8a穿孔在層間絕緣膜4a。

然後，除去光阻圖案17C之後，如第21圖所示，在連接孔8a內，藉選擇CVD法等形成例如W等所構成之連接用導體部7C。此時，連接用導體部7C之上部突

(請先閱讀背面之注意事項)

裝

訂

線

### 五、發明說明 ( 37 )

出於配線用溝 5 a 中也無妨。又，連接用導體部 7 C 之材料係並不被限定於 W 者，可施以各種變更，例如 W 合金，Al、Al 合金也可以。

然後，如第 22 圖所示，在包括配線用溝 5 a 之層間絕緣膜 4 a 之表面及連接用導體部 7 C 之露出表面，藉由濺射法覆蓋例如 TiN 等所構成的較薄導體膜 6 L 1。該較薄導體膜 6 L 1 係具有提高第 1 層配線與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能之材料所構成，並不被限定於 TiN 者，可施以各種變更，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN 或 TaSiN 等也可以。

然後，在較薄導體膜 6 L 1 上，藉由 CVD 法，濺射法或電鍍法等覆蓋例如 Cu 等所構成的較厚導體膜 6 L 2。在該 Cu 等之成膜時，儘可能採用伸出較小之分步數層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜 6 L 2 係並不被限定於 Cu 者，可施以各種變更，例如 Cu 合金，Al、Al 合金，W 或 W 合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板 1 施以熱處理，流動較厚導體膜 6 L 2 之構成原子（例如 Cu）而將該構成原子充分地供給並埋入在配線用溝 5 a 內。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在 Cu 之濺射

### 五、發明說明 ( 38 )

期間施行該熱處理的所謂反流濺射法也可以。由此，可提高 Cu 配線之 EM 特性。

之後，介經對於半導體基板 1 施以 CMP 處理，介經除去配線用溝 5 a，5 b（參照第 1 圖）以外之領域的層間絕緣膜 4 a 上之較厚導體膜 6 L 2 及較薄導體膜 6 L 1，如第 2 3 圖所示，在配線用溝 5 a 內形成第 1 配線層 6 L。

在該 CMP 處理後或處理前對於半導體基板 1 能以熱處理也可以。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該 CMP 處理後之熱處理過程，促進較厚半導體基板 6 L 2 的 Cu 之粒子成長並提高 EM 耐性，同時在 CMP 處理時避免產生在較薄導體膜 6 L 1 及較厚導體膜 6 L 2 之表面的損傷或氧化膜而得其表面成為平滑。同時除去減低絕緣膜 4 a 的表面污染。由此，成為可提高配線之可靠性。

又，此等埋入配線構造係如第 2 4 圖所示，也可適用於第 2 層配線 9 L。亦即，連接用導體部 10 C 成為以例如選擇 CVD 法所形成之 W，W 合金，Al，Al 合金，Cu 或 Cu 合金等的導體膜所構成之構造。

依照此等本實施形態 2，成為可得到與上述實施形態 1 同樣之效果。

（實施形態 3）

### 五、發明說明 ( 39 )

第 2 5 圖至第 2 8 圖及第 2 9 圖至第 3 2 圖係本發明之其他實施形態的半導體積體電路裝置之製程中的要部剖面圖，第 3 3 圖係表示半導體積體電路裝置之要部剖面圖。

第 2 5 圖係表示製程中的半導體積體電路裝置。在層間絕緣膜 4 a，藉由在上述實施形態 2 所說明之方法，形成有配線用溝 5 a 及連接孔 8 a。

首先，在本實施形態 3 中，如第 2 6 圖所示，在連接孔 8 a 內，藉由選擇 C V D 法形成例如 W 等所構成之連接用導體部 7 C。此時，在本實施形態 3 中，實行成膜處理使連接用導體部 7 C 之上部突出於配線用溝 5 a 之外側的程度。又，連接用導體部 7 C 之材料係並不被限定於 W 者，可施以各種變更，例如 W 合金，A l，A l 合金也可以。

然後，如第 2 7 圖所示，在包括配線用溝 5 a 之層間絕緣膜 4 a 之表面及連接用導體部 7 C 之表面，藉由濺射法覆蓋例如 T i N 等所構成的較薄導體膜 6 L 1。該較薄導體膜 6 L 1 係具有提高第 1 層配線與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於 T i N 者，可施以各種變更，例如 W，T i N，T i，T a，W N，W S i N，T i S i N，T a N 或 T a S i N 等也可以。

然後，在較薄導體膜 6 L 1 上，藉由 C V D 法，濺射法或電鍍法等覆蓋例如 C u 等所構成的較厚導體膜 6 L 2

(請先閱讀背面之注意事項)  
(本頁)

裝

訂

線



### 五、發明說明 ( 40 )

。在該 C u 等之成膜時，儘可能採用伸出較小之分步數層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜 6 L 2 係並不被限定於 C u 者，可施以各種變更，例如 C u 合金，A l、A l 合金，W 或 N 合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板 1 施以熱處理，流動較厚導體膜 6 L 2 之構成原子（例如 C u）而將該構成原子充分地供給並埋入在配線用溝 5 a 內。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在 C u 之濺射期間施行該熱處理的所謂反流濺射法也可以。由此，可提高 C u 配線之 E M 特性。

之後，介經對於半導體基板 1 施以 C M P 處理，介經除去配線用溝 5 a，5 b（參照第 1 圖）以外之領域的層間絕緣膜 4 a 上之較厚導體膜 6 L 2 及較薄導體膜 6 L 1，如第 28 圖所示，在配線用溝 5 a 內形成第 1 層配線 6 L，同時，形成連接用導體部 7 C。

在該 C M P 處理後或處理前對於半導體基板 1 施以熱處理也可以。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該 C M P 處理後之熱處理過程，促進較厚半導體基板 6 L 2 的 C u 之粒子成長並提高 E M 耐性，同時在 C M P 處理時避免產生在較薄導體膜 6 L 1 及較

（請先閱讀背面之注意事項再（本頁）

裝

訂

地

### 五、發明說明 ( 41 )

厚導體膜 6 L 2 之表面的損傷或氧化膜而得其表面成為平滑。同時除去減低絕緣膜 4 a 的表面污染。由此，成為可提高配線之可靠性。

又，欲形成如第 28 圖之構造之埋入配線，例如如下地實行也可以。

首先，如第 29 圖所示，在層間絕緣膜 4 a 藉由先刻法技術及乾蝕刻技術形成使半導體基板 1 上面之一部分露出的連接孔 8 a。

然後，如第 30 圖所示，在連接孔 8 a 內，藉由選擇 C V D 法形成例如 W 等所構成連接用導體部 7 C。此時，實行成膜處理使連接用導體部 7 C 之上面與層間絕緣膜 4 a 之上面大約一致。又，連接用導體部 7 C 之材料係並不被限定於 W 者，可施以各種變更，例如 W 合金，A l，A l 合金也可以。

然後，如第 31 圖所示，在層間絕緣膜 4 a 藉由光刻法技術及乾蝕刻技術形成配線用溝 5 a。此時，在配線用溝 5 a 中露出連接用導體部 7 C 之上部。

然後，如第 32 圖所示，在包括配線用溝 5 a 之層間絕緣膜 4 a 之表面及連接用導體部 7 C 之露出表面，藉由濺射法覆蓋例如 T i N 等所構成的較薄導體膜 6 L 1。該較薄導體膜 6 L 1 係具有提高第 1 層配線與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於 T i N 者，可施以各種變更，例如 W，T i N，T i，T a，W N，

### 五、發明說明(42)

W S i N , T i S i N , T a N 或 T a S i N 等也可以。

然後，在較薄導體膜 6 6 1 上，藉由 C V D 法，濺射法或電鍍法，或組合此等等覆蓋例如 C u 等所構成的較厚導體膜 6 L 2。在該 C u 等之成膜時，儘可能採用伸出較小之分步敷層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜 6 L 2 係並不被限定於 C u 者，可施以各種變更，例如 C u 合金，A l、A l 合金，W 或 N 合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板 1 施以熱處理，流動較厚導體膜 6 L 2 之構成原子（例如 C u）而將該構成原子充分地供給並埋入在配線用溝 5 a 內。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在 C u 之濺射期間施行該熱處理的所謂回流濺射法也可以。由此，可提高 C u 配線之 E M 特性。

之後，介經對於半導體基板 1 施以 C M P 處理，介經除去配線用溝 5 a，5 b（參照第 1 圖）以外之領域的層間絕緣膜 4 a 上之較厚導體膜 6 L 2 及較薄導體膜 6 L 1，如第 2 8 圖所示，在配線用溝 5 a 內形成第 1 層配線 6 L，同時，形成連接用導體部 7 C。

在該 C M P 處理後或處理前對於半導體基板 1 施以熱處理也可以。此時，熱處理氣氛係作為惰性氣體氣氛，氧

（請先閱讀背面之注意事項再  
本頁）

裝

訂

線

## 五、發明說明 ( 43 )

化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該CMP處理後之熱處理過程，促進較厚半導體基板6L2的Cu之粒子成長並提高EM耐性，同時在CMP處理時避免產生在較薄導體膜6L1及較厚導體膜6L2之表面的損傷或氧化膜而得其表面成為平滑。同時除去減低絕緣膜4a的表面污染。由此，成為可提高配線之可靠性。

又，此等埋入配線構造，如第33圖所示，也適用於第2層配線9L。亦即，連接用導體部10C，成為例如選擇CVD法所形成之W，W合金，Al，Al合金等之導體膜所構成的構造。

如此，依照本實施形態3，成為可得到與上述實施形態1同樣之效果。

## ( 實施形態 4 )

第34圖及第35圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

在本實施形態中，如第34圖及第35圖所示，連接用導體部7C，10C以較薄導體膜7C1，10C1所構成。亦即，連接孔8a，8b以較薄導體膜7C1，10C1埋入之構造。

較薄導體膜7C1，10C1係具有提高連接用導體部7C，10C與層間絕緣膜4a，4b之密接性的功能或抑制配線之構成原子的阻障功能的材料所構成，例如W

(請先閱讀背面之注意事項再  
入本頁)

裝

訂

後

### 五、發明說明 (44)

· T i N , T i , T a , W N , W S i N , T i S i N , T a N 或 T a S i N 等所構成。

連接孔 8 a 之直徑係例如約  $0.1 \sim 0.4 \mu m$  , 較理想係例如  $0.2 \mu m$  。又, 連接孔 8 a 之縱橫比係約  $2 \sim 10$  , 考慮良好地實行連接用導體部之埋入時, 比約 3 小較理想。

又, 連接孔 8 b 之直徑係例如約  $0.1 \sim 0.4 \mu m$  , 較理想係例如約  $0.2 \mu m$  。又, 連接孔 8 b 之縱橫比係約  $2 \sim 10$  , 考慮良好地實行連接用導體部之埋入時, 比約 5 小較理想。

又, 配線構造係並不被限定於表示於第 33 圖及第 34 圖之構造者, 可施以各種變更, 表示於例如以上述實施形態 1 所說明之第 3 圖至第 5 圖之構造也可以。

此等埋入配線之形成方法, 與使用上述實施形態 1 的第 8 圖至第 12 圖所說明相同。亦即, 將第 1 層配線 6 L 之形成方法作為一例子係如下。

首先, 在層間絕緣膜 4 a 穿孔連接孔 8 a 之後, 在該層間 4 a 上藉由濺射法等覆蓋埋入連接孔 8 a 的較薄導體膜 7 C 1。然後, 介經對於半導體基板 1 施以 C M P 法等, 在該較薄導體膜 7 C 1 除去連接孔 8 a 之領域以外的部分, 而在連接孔 8 a 內, 形成僅由較薄導體膜 7 C 1 所構成的連接用導體部 7 C。然後, 在層間絕緣膜 4 a 形成配線用溝 5 a 之後, 在該層間絕緣膜 4 a 上藉由濺射法或電鍍法等覆蓋埋入配線用溝 5 a 的配線用導體膜。然後, 介

(請先閱讀背面之注意事項)  
本頁

裝

訂

### 五、發明說明 ( 45 )

經對於半導體基板 1 施以 C M P 法等，在該配線用導體膜除去配線用溝 5 a 之領域以外的部分，而在配線用溝 5 a 內形成第 1 層配線 6 L。

在較厚導體膜 6 L 1 之成膜後或 C M P 處理後對於半導體基板 1 施以熱處理也可以。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。介經施以熱處理，促進較厚半導體基板 6 L 2 的 C u 之柱子成長並提高 E M 耐性，同時在 C M P 處理時避免產生在較薄導體膜 6 L 1 及較厚導體膜 6 L 2 之表面的損傷或氧化膜而將其表面成為平滑，及除去減低絕緣膜 4 a 的表面污染，因此，成為可提高配線之可靠性。

依照此等本實施形態 4，成為可得到與上述實施形態 1 同樣之效果。

#### ( 實施形態 5 )

第 3 6 圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖，第 3 7 圖係表示第 3 6 圖之半導體積體電路裝置的要部放大剖面圖，第 3 8 圖係表示於第 3 7 圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖，第 3 9 圖係表示於第 3 7 圖之半導體積體電路裝置的要部放大剖面圖，第 4 0 圖係模式地表示第 3 9 圖之半導體積體電路裝置之要部的說明圖，第 4 1 圖係模式地表示第 4 0 圖之變形例的說明圖，第 4 2 圖及第 4 3 圖係

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

### 五、發明說明(46)

模式地表示第40圖之變形例的說明圖，第44圖至第48圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

首先，藉由第36圖至第48圖說明本實施形態5之半導體積體電路裝置之構造。本實施形態5之基本上的整體構造，係例如如下。

第1，在第1層配線6L之構成材料，使用例如W，W合金，Al或Al合金等的Cu或Cu合金以外的導體材料。由此，由於可將Cu配線直接接觸於半導體基板1之構造，因此，可抑制起因於Cu原子擴散半導體基板1側之元件不良，成為可提高半導體積體電路裝置之可靠性。又，介經隔離以Cu配線所構成之第2，第3層配線9L，11L與半導體基板1之距離，可減低Cu原子對於半導體基板1之擴散。

第2，在最上之第4層配線13L之構成，使用例如Al或Al合金等。由此，可仍然沿用以往就有的接合線之連接技術或隆起電極之形成技術。亦即，雖然最上之配線層係連接有接合線或隆起電極，惟將最上之配線材料作為以往就使用的Al或Al合金，成為可仍然使用接合線或隆起電極之接合上的以往技術。因此，不會隨著裝配過程（線接合過程或隆起電極形成過程）的技術上之變更等，成為可將具有Cu系材料所構成的埋入配線構造之半導體積體電路裝置導入在裝配線。因此，可推動減低具有Cu系材料之埋入配線的半導體積體電路裝置之成本。成

(請先閱讀背面之注意事項再  
本頁)

裝

訂

## 五、發明說明 ( 47 )

為可推動製造與開發時間之短期化。

第 3，在最上之配線層與最下配線層之間的中間配線層（第 2 層配線 9 L 及第 3 層配線 1 1 L）的構成，例如 Cu 或 Cu 合金。由此，可減低配線電阻或配線電容，成為可提高半導體積體電路裝置之信號傳播速度，並成為可提高其動作速度。

第 4，將連接以 Cu 系材料所構成之配線層間的連接用導體部 1 8 C，1 9 C，以例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN 或 TaSiN 等所構成之材料所構成。由此，由於在微細連接孔 8 g，8 h 內可良好地埋入導體膜，因上，成為可提高配線層間的電氣式連接的可靠性。

第 5，未直接接觸 Al 系所構成的第 4 層配線 1 3 L，及 Cu 系材料所構成的第 3 層配線 1 1 L，而在其中間介裝阻障層（連接用導體部 2 0 C 等）。由此，直接接觸 Al 系材料與 Cu 系材料時，由於可抑制高電阻係數之合金層的環境，因此，成為可提高流在配線之信號的傳播速度。

第 6，在位於連接用導體部 1 9 C 與連接用導體部 2 0 C 所連接之部分的配線層中，設置至少沿著配線之長度方向比連接用導體部 1 9 C，2 0 C 平面地較長所形成的連接用導體部（中繼用之連接用導體部）2 1 C，並電氣式地連接上述之連接用導體部 2 0 C。由此，由於可將連接用導體部 2 1 C 所形成之配線用溝 5 g 之平面積成為

（請先閱讀背面之注意事項再  
訂本頁）

裝

訂



### 五、發明說明 (48)

較大，因此，成為在該溝內良好地埋入配線用導體膜。又，成為可增大連接用導體部 19 C 與連接用導體部 20 C 之配線的長度方向之平面性對位的餘量。因此，成為可提高上下之連接用導體部 19 C，20 C 之連接上的可靠性。

以下，詳述本實施形態 5 之半導體積體電路裝置的各構成部。

埋入於配線用溝 5 a，5 b 內所形成的第 1 層配線 6 L，係由下部與側部之相對地較薄導體膜 6 L 1，及被該較薄導體膜 6 L 1 所圍繞之相對地較厚導體膜 6 L 2 所構成。較薄導體膜 6 L 1 係具有提高第 1 層配線 6 L 與層間絕緣膜 4 a 之密接性的功能或抑制較厚導體膜 6 L 2 之構成原子之擴散的阻障功能之材料所構成，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成。

以 W 等構成較薄導體膜 6 L 1 時，與以 TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成時相比較，成為可降低配線電阻。雖並不被特別限定，惟在本實施形態 5，較薄導體膜 6 L 1 係例如以 W 所構成。

又，較厚導體膜 6 L 2 係構成第 1 層配線 6 L 之本體的構件，例如 Al，Al 合金，W 或 W 合金之低電阻之材料所構成。雖並不被特別限定，惟在本實施形態 5，較厚導體膜 6 L 2 係例如以 W 所構成。

(請先閱讀背面之注意事項再  
加本頁)

裝

訂

地

## 五、發明說明(49)

但是，第1層配線6L之構造係並不被限定於表示於第36圖及第37圖之構造者而可施以各種變更，作成在上述實施形態1中使用第3圖至第5圖所說明的構造也可以。亦即，有在較厚導體膜6L2與較薄導體膜6L1上設置帽蓋導體膜之構造；在較厚導體膜6L2上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜4a之上面成為大約一致的構造；僅在較厚導體膜6L2構成配線的構造；僅在較厚導體膜6L2構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N或TaSiN等所構成。

配線用溝5a之第1層配線6L係經連接孔8a與nMOS3n之半導體領域3nd或pMOS3p之半導體領域3pd電氣式地連接。在本實施形態5中，在配線用溝5a與連接孔8a內一體地埋入有配線形成用導體膜。

此等第1層配線6L之形成方法，係例如與以下之以往之埋入配線的形成方法相同。亦即，將配線用溝5a，5b與連接孔8a藉由各該之光刻法技術及乾蝕刻技術形成層間絕緣膜4a之後，藉由濺射法覆蓋例如W等所構成的較薄導體膜6L1，又，在該較薄導體膜6L1上，藉由CVD法等形成例如W等所構成的較厚導體膜6L2。由此，成為在微細連接孔8a內也可良好地埋入導體膜。然後，施以CMP處理，除去配線用溝5a，5b及連接

(請先閱讀背面之注意事項再(本頁))

裝

訂

線

### 五、發明說明 ( 50 )

孔 8 a 以外的導體膜，俾形成埋入構造之第 1 層配線 6 L

。

埋入於配線用溝 5 c，5 d 內所形成的第 2 層配線

9 L，係下部與側部之相對地較薄導體膜 9 L 1，及被該較薄導體膜 9 L 1 所圍繞之相對地較厚導體膜 9 L 2 所構成。較薄導體膜 9 L 1，係具有提高第 2 層配線 9 L 與層間絕緣膜 4 b 之密接性的功能或抑制較厚導體膜 9 L 2 之構成原子之擴散的阻障功能之材料所構成，例如 W，

TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成。

以 W 等構成較薄導體膜 9 L 1 時，與以 TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成時相比較，成為可降低配線電阻。雖並未被特別限定，惟在本實施形態 5 中，較薄導體膜 9 L 1 係例如以 TiN 所構成。

又，較厚導體膜 9 L 2 係構成第 2 層配線 9 L 之本體的構件，例如 Cu 或 Cu 合金等之低電阻材料所構成。但是，第 2 層配線 9 L 之構造係並不被限定於表示在第 3 6 圖構造者而可施以各種變更，作成在上述實施形態 1 中使用第 3 圖至第 5 圖所說明之構造也可以。亦即，有在較厚導體膜 9 L 2 與較薄導體膜 9 L 1 上設置帽蓋導體膜之構造；在較厚 9 L 2 上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜 4 b 之上面成為大約一致的構造；僅以較厚導體膜 9 L 2 構成配線的構造；僅在以較厚導體膜

(請先閱讀背面之注意事項再為本頁)

裝

訂

### 五、發明說明 ( 51 )

9 L 2 構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如 W, TiN, Ti, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等所構成。

配線用溝 5 c 之第 2 層配線 9 L 係經連接孔 8 g 與第 1 層配線 9 L 電氣式地連接。連接孔 8 g 係從配線用溝 5 c 之底面向第 1 層配線 6 L 之上面, 使其第 1 層配線 6 L 之上面一部分露出地形成, 而在該孔內, 設有例如 W, W 合金, Al 或 Al 合金所構成的連接用導體部 1 8 c。

又, 埋入於配線用溝 5 e 內所形成的第 3 層配線 1 1 L, 係與第 2 層配線 9 L 之構造相同, 下部與側部之相對地較薄導體膜 1 1 L 1, 及被該較薄導體膜 1 1 L 1 所圍繞之相對地較厚導體膜 1 1 L 2 所構成。較薄導體膜 1 1 L 1 係具有提高第 3 層配線 1 1 L 與層間絕緣膜 4 C 之密接性的功能或抑制較厚導體膜 1 1 L 2 之構成原子之擴散的阻障功能的材料所構成, 例如 W, TiN, Ti, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等所構成。

以 W 等構成較薄導體膜 1 1 L 1 時, 與以 TiN, Ti, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等所構成時相比較, 成為可降低配線電阻。雖並未被特別限定, 惟在本實施形態 5 中, 較薄導體膜 1 1 L 1 係例如以 TiN 所構成。

又, 較厚導體膜 1 1 L 2 係構成第 3 層配線 1 1 L 之

### 五、發明說明 ( 52 )

本體的構件，例如 Cu 或 Cu 合金等之低電阻材料所構成。但是，第 3 層配線 11L 之構造係並不被限定於表示在第 36 圖構造者而可施以各種變更，作成在上述實施形態 1 中使用第 3 圖至第 5 圖所說明之構造也可以。亦即，有在較厚導體膜 11L2 與較薄導體膜 11L1 上設置帽蓋導體膜之構造；在較厚 11L2 上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜 4b 之上面成為大約一致的構造；僅以較厚導體膜 11L2 構成配線的構造；僅在以較厚導體膜 11L2 構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如 W, TiN, Ti, Ta, WN, WSiN, TiSiN, TaN 或 TaSiN 等所構成。

配線用溝 5e 之第 3 層配線 11L 係經連接孔 8h 與第 2 層配線 9L 電氣式地連接。連接孔 8h 係從配線用溝 5e 之底面向第 2 層配線 9L 之上面，使其第 2 層配線 9L 之上面一部分露出地形成，而在該孔內，設有例如 W, W 合金, Al 或 Al 合金所構成的連接用導體部 19c。

如下述第 39 (A) 圖所示，第 2 層配線 9L 係設成例如向 Y 方向延伸，而第 2 層配線 9L 間的節距係向 X 方向以所定值被設計。又，第 3 層配線 11L 係設成例如向垂直於 Y 方向之 X 方向延伸，而第 3 層配線 11L 間的節距係向 Y 方向以所定值被設計。

此等第 2 層配線 9L 與第 3 層配線 11L 之形成方法

(請先閱讀背面之注意事項再  
裝  
訂  
線  
本頁)

### 五、發明說明 ( 53 )

· 係與例如以往之埋入配線的形成方法相同。亦即，將第 2 層配線 9 L 之形成方法作為例子加以說明如下。

首先，將配線用溝 5 c，5 d 及連接孔 8 g 分別藉由光刻法技術及乾蝕刻技術形成在層間絕緣膜 4 b 之後，將例如 W 等所構成之導體膜藉由選擇 C V D 法等選擇性地成長於連接孔 8 g 內以形成連接用導體部 1 8 c。

然後，藉由濺射法覆蓋例如 T i N 等所構成之較薄導體膜 9 L 1，又，在該較薄導體膜 9 L 1 上，藉由濺射法，C V D 法或電鍍等形成例如 C u 或 C u 合金等所構成的較厚導體膜 9 L 2。該過程後，施以熱處理而將 C u 原子良好地填充於配線用溝 5 c，5 d 內也可以。由此，成為在微細連接孔 8 g 內良好地埋入導體膜。

然後，對於半導體基板 1 施以 C M P 處理俾除去配線用溝 5 c，5 d 以外的導體膜，形成埋入構造之第 2 層配線 9 L。在較厚導體膜 9 L 2 之成膜後或 C M P 處理後對於半導體基板 1 施以熱處理也可以。此時，熱處理氣氛係作為惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。介經施以熱處理，促進較厚半導體基板 9 L 2 的 C u 之粒子成長並提高 E M 耐性，同時在 C M P 處理時避免產生在較薄導體膜 6 L 1 之表面的損傷或氧化膜而將其表面成為平滑，又除去減低絕緣膜 4 a 的表面污染，因此，成為可提高配線之可靠性。

但是，連接孔 8 g，8 h 之埋入構造，係並不被限定

(請先閱讀背面之注意事項再  
入本頁)

裝

訂

線

### 五、發明說明 ( 54 )

於表示在第 36 圖等之構造者而可施以各種變更，例如作為表示於第 38 圖之構造也可以。亦即，在第 38 圖中，連接孔 8 g，8 h 以較薄導體膜 9 L 1，11 L 1 埋入。此時之較薄導體膜 11 L 1 之構成材料也與上述之材料相同，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成，較厚導體膜 9 L 2，11 L 2 係例如 Cu 或 Cu 合金所構成。

又，連接孔 8 g，8 h 係其下部與側部之相對地較薄導體膜，及被較薄導體膜所圍繞之相對地較厚導體膜所構成也可以。此時，較薄導體膜係例如 W，TiN 等所構成，而較厚導體膜係例如 W 等所構成。

一方面，在層間絕緣膜 4 C 之上部〔第 3 配線層〕，與上述之配線用溝 5 e 一起，形成有與其相同之深度的連接用溝 5 g。連接用溝 5 g 係與配線用溝 5 e 同時地形成。

該連接用溝 5 g 係如上所述，形成沿著配線之長度方向較長之狀態。由此，成為在連接用溝 5 g 內可良好地埋入導體膜。亦即，在配線用溝 5 e 內埋入導體膜時，即使在相同配線層中之連接用溝 5 g 同時地埋入導體膜，若將連接用溝 5 g 之平面形狀與尺寸作為下層之連接用導體部 19 c 之上面之平面形狀與尺寸，由於連接用溝 5 g 係微細，因此產生無法充分地埋入導體膜之情形。為了避免此等不方便，由此連接用溝 5 g 係其平面形狀沿著配線之長度方向較長的形狀，可防止降低配線之實裝密度，並成為

(請先閱讀背面之注意事項再  
裝  
訂  
線  
本頁)

### 五、發明說明 ( 55 )

可良好地連接該導體膜者。因此，成為可良好地連接上下之配線層間。

在連接用溝 5 g，如第 36 圖，第 39 圖及第 40 圖所示，設有連接用導體部 21 c。第 39 (A) 圖係表示第 2 層配線 9 L 至第 4 層配線 13 L 之一部的要部平面圖，第 39 (B) 圖係表示沿著第 39 (A) 圖之 B - B 線的要部剖面圖，第 39 (C) 圖係表示沿著第 39 (A) 圖之 C - C 線的要部剖面圖。又，第 39 (B) 圖係表示在紙面向垂直方向切割第 36 圖之右側的第 2 層配線 9 L 至第 4 層配 13 L 部分時的剖面圖。

連接用導體部 21 C 係成為與第 3 層配線 11 L 相同之構造，下部與側部之相對地較薄導體膜 21 C 1，及被該較薄導體膜 21 C 1 所圍繞之相對地較厚導體膜 21 C 2 所構成。亦即，連接用導體部 21 C 係與第 3 層配線 11 L 相同之配線所構成。較薄導體膜 21 C 1 係具有提高連接用導體部 21 C 與層間絕緣膜 4 C 之密接性的功能或抑制較厚導體膜 21 C 2 之構成原子之擴散的阻障功能的材料所構成，例如 W，TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成。

以 W 等構成較薄導體膜 21 C 1 時，與以 TiN，Ti，Ta，WN，WSiN，TiSiN，Ta<sub>2</sub>N 或 TaSiN 等所構成時相比較，成為可降低配線電阻。雖並未被特別限定，惟在本實施形態 5 中，較薄導體膜

(請先閱讀背面之注意事項再) 裝

訂

訂



### 五、發明說明 ( 56 )

2 1 C 1 係與第 3 層配線 1 1 L 之較薄導體膜 1 1 L 1 同時地以相同材料所形成，例如以 T i N 所構成。

又，較厚導體膜 2 1 C 2 係構成連接用導體部 2 1 C 之本體的構件，例如 C u 或 C u 合等之低電阻材料所構成。但是，連接用導體部 2 1 C 之構造係並不被限定於表示在第 3 6 圖至第 4 1 圖之構造者而可施以各種變更，作成在上述實施形態 1 中使用第 3 圖至第 5 圖所說明之構造也可以。

亦即，有在較厚導體膜 2 1 C 2 與較薄導體膜 2 1 C 1 上設置帽蓋導體膜之構造，在較厚導體膜 2 1 C 2 上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜 4 C 之上面成為大約一致的構造；僅以較厚導體膜 2 1 C 2 構成配線的構件；僅在以較厚導體膜 2 1 C 2 構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如 W，T i N，T i，T a，W N，W S i N，T i S i N，T a N 或 T a S i N 等所構成。如第 3 9 圖及第 4 0 圖所示，連接用導體部 2 1 C 之平面形狀介經配線之長度方向（X 方向）構成比 Y 方向之配線寬度較大，可將上下之連接用導體部 1 9 C，2 0 C 之對位餘量在 X 方向較大。由此，即使欲增大第 3 層配線 1 1 L 之 Y 方向的配線節距 p，也由於可將上下之連接用導體部 1 9 C，2 0 C 之對位餘量在 X 方向成為較大，故可得到配線之高密度化及高積體化。又，由於配線之長度方向的配線長度係在配線寬度以上，成為配線寬度之約兩倍以下，而不用

（請先閱讀背面之注意事項再）  
（本頁）

裝

訂

### 五、發明說明 ( 57 )

對接架，因此，可增大對位餘量，同時可增大埋入邊緣。不必增大配線節距，即可成為高積體化。

又，如第 4 1 圖所示，將連接用導體部 2 1 c 之平面形狀，形成配線之長度方向及對於其方向呈交叉方向（配線寬度方向，亦即 Y 方向）較長之形狀也可以。但是，此時，配線之長度方向（X 方向）構成比 Y 方向之配線寬度較大者。此時，可將上下之連接用導體部 1 9 C，2 0 C 之對位餘量在配線之長度方向及寬度方向之雙方較大。所以，由於可緩和埋入連接用導體部 2 0 C 之連接孔 8 f 形成時的對位精度，成為可容易地形成連接孔 8 f。又，即使連接孔 8 f 之平面位置稍偏離設計值，也成為將連接用導體部 2 0 C 與連接用導體部 2 1 C 可良好地連接之狀態。

又，如第 4 2 圖及第 4 3 圖所示，作為在上述實施形態 1 所說明之構造者也可以。亦即，連接用導體部 1 9 C 之上部突出於連接用導體部 2 1 C 中之構造。此時，與在上述實施形態 1 等所說明者相同方法所形成。亦即，在形成於層間絕緣膜 4 C 之連接孔 8 h（參照第 3 6 圖）內埋入形成連接用導體部 1 9 C 之後，形成連接用溝 5 g（參照第 3 6 圖），然後，堆積導體膜，又施以 C M P 處理，在該連接用溝 5 g 內形成連接用導體部 2 1 C。

第 4 層配線 1 3 L，係與上述實施形態 1 同樣地成為一般之配線構造。第 4 層配線 1 3 L 係經連接孔 8 f 內之連接用導體部 2 0 C 與第 3 層配線 1 1 L 或連接用導體部

### 五、發明說明 ( 58 )

2 1 C 電氣式地連接。連接用導體部 2 0 C 係例如以選擇 C V D 法所形成之 W 或 W 合金等所構成。

亦即，在本實施形態 5，係未直接接觸 A 1 系材料所構成之第 4 層配線 1 3 L，及 C u 系材料所構成之第 3 層配線 1 1 L 或連接用導體部 2 1 C，經由 W 系材料所構成的連接用導體部 2 0 C 成為電氣式地連接之構造。由此，防止 A 1 與 C 1 之直接接觸，成為可防止在該接觸部形成高電阻係數之合金層的構造。

但是，作為防止此等合金層所形成之構造，並不被限定於表示於第 3 6 圖之構造而可施以各種變更，作成表示於第 4 4 圖至第 5 2 圖之構造也可以。亦即，第 4 4 圖係表示第 4 層配線 1 3 L 由較薄導體膜 1 3 L 1 與重疊於該上層之較厚導體膜 1 3 L 2 所構成的構造。較薄導體膜 1 3 L 1 係具有提高第 4 層配線 1 3 L 與層間絕緣膜 4 d 之密接性的功能或抑制較厚導體膜 1 3 L 2 之構成原子之擴散的阻障功能的材料所構成，例如 W，T i N，T i，T a，W N，W S i N，T i S i N，T a N 或 T a S i N 等所構成。又，較厚導體膜 1 3 L 2 係例如 A 1 或 A 1 合金等所構成。

在第 4 5 圖之構造中，在從連接孔 8 f 露出之第 3 層配線 1 1 L 的露出面上，設有例如以選擇 C V D 法等所形成之 W 或 W 合金等所構成的連接用導體部 2 0 C 1，且在連接孔 8 f 內的連接用導體部 2 0 C 1 上，設有例如 A 1 或 A 1 合金等所構成的連接用導體部 2 0 C 2。第 3 層配

(請先閱讀背面之注意事項再)

裝

訂

### 五、發明說明 ( 59 )

線 1 3 L 係經該連接用導體部 2 0 C ( 2 0 C 2 , 2 0 C 1 ) 與第 3 層配線 1 1 L 電氣式地連接。又，1 3 L 與 2 0 C 係同時地形成也可以。亦即，在該構造成為 A 1 系材料所構成之第 4 層配線 1 3 L 與連接用導體部 2 0 C 2，及 C u 系材料所構成之第 3 層配線 1 1 L 的接觸部設置 W 等所構成之連接用導體部 2 0 C 1 的構造。由此，在該接觸部可防止形成高電阻係數之合金層。又，由於將構成連接用導體部 2 0 C 之大部分的連接用導體部 2 0 C 2 以低電阻之 A 1 系材料所構成，因此，成為可降低以 W 等構成所有該連接用導體部之第 3 6 圖之構造相比較的連接用導體部 2 0 C 之電阻。

在第 4 6 圖之構造中，在第 2 層配線 1 1 L 之上部設置帽蓋導體膜 1 1 L 3。帽蓋導體膜 1 1 L 3 係例如 W，T i N，T i，T a，W N，W S i N，T i S i N，T a N 或 T a S i N 等所構成。又，較厚導體膜 1 3 L 2 係例如 A 1 或 A 1 合金等所構成。在連接孔 8 f 內埋入有與第 4 層配線 1 3 L 一體地形成之 A 1 或 A 1 合金等所構成的導體膜。此時，也由於 A 1 系材料所構成之第 4 層配線 1 3 L，及 C u 等材料所構成之第 3 層配線 1 1 L 的接觸部設置 W 等所構成的較薄導體膜 1 1 L 3，因此，可防止在該接觸部形成高電阻係數之合金層，且由於連接孔 8 f 內係以低電阻之 A 1 系材料埋入，因此，與第 3 6 圖之情形相比較成為可降低層間連接部之電阻。

在第 4 7 圖之構造中，連接孔 8 f 以較薄導體膜

(請先閱讀背面之注意事項再  
入本頁)

裝

訂

線

## 五、發明說明(60)

13L1埋入。此時之較薄導體膜13L1的構成材料係與上述之材料相同，例如W，TiN，Ti，Ta，WN，WSi，TiSiN，Ta<sub>2</sub>N或TaSiN等所構成。較厚導體膜13L2係例如Al或Al合金所構成。

第48圖之構造，係在第47圖之構造中，有較厚導體膜13L2a，13L2b由下層依順序重疊在較薄導體膜13L1上，下層側之較厚導體膜13L2a係例如W或W合金所構成，例如以CVD法或濺射法等所形成。上層側之較厚導體膜13L2b係例如Al或Al合金所構成，例如以CVD法或濺射法所形成。

在第49圖之構造，將連接Al系所構成之第4層配線13L，及Cu系所構成之第3層配線11L的連接用導體部14C，以濺射法所形成的W，TiN等阻障（較薄導體膜）14C1，及以CVD法所形成的W等之插頭（較厚導體膜）14C2所構成。由該構造，可減低接觸電阻。

該構造係介經濺射法堆積阻障金屬之後，以CVD法將W埋入堆積於連接孔8f，然後，介經CMP或反復蝕刻，可將阻障金屬14C1，插頭14C2僅形成在連接孔8f內。

又，連接用導體部14C僅以CVD法埋入TiN之插頭14C2所構成也可以。

第50圖之構造，係在第49圖之構造中，將第4層配線13L，BP，以Al系所構成之較厚導體膜

（請先閱讀背面之注意事項再入本頁）

裝

訂

### 五、發明說明(61)

13L2，及成膜TiN或W等之高融點金屬或金屬化合物之較薄導體膜13L1所構成。由此，可更提高可靠性。

第51圖之構造，係在第49圖之構造中，在連接孔8f內堆積阻障金屬及W之後，未施以插頭加工，而堆積Al系材料，以W，TiN等的阻障金屬（較薄導體膜）13L1，及W所構成的較厚導體膜13L2a，及Al系所構成的較厚導體膜13L2b構成第4層配線13L。如此，未施加插頭加工地留下，成為與Al合金之疊層配線，可提高依廢止插頭研磨過程所產生之簡化與依疊層構造所產生之可靠性。

第52圖之構造，係在第51圖之構造中。未設置阻障金屬（較薄導體膜）13L1，以CVD法形成之TiN所構成的較厚導體膜13L2a，及Al系所構成的較厚導體膜13L2b構成第4層配線13L。因以CVD法所形成之TiN膜13L2b係與層間絕緣膜之黏接性比以膜優異，因此，不必設置阻障金屬13L1，而可減低製程，與第51圖之構造同樣地，未施加插頭加工地留下，成為與Al合金之疊層配線，可提高依廢止插頭研磨過程所產生之簡化與依疊層構造所產生之可靠性。

將表示於連接用導體部14C之構造適用於連接用導體部10C，12C，18C，19C，20C也可以。第53圖係表示將表示於第49圖之連接用導體部14C之構造適用於表示在第39圖，第40圖之連接用導體部

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 五、發明說明 (62)

19C, 20C的構造。較薄導體膜19C1, 20C1係與阻障金屬14C同稱地構成, 而較厚導體膜19C2, 20C2係與插頭14C2同稱地構成。

第54圖係表示以雙達馬新形成表示於第53圖之第3層配線11L, 21C的構造。該構造係形成連接孔5g, 8h之後, 藉濺射法堆積阻障金屬, 然後, 將Cu例如藉濺射法較薄地形成後, 再使用電解電鍍法埋入地形成於連接孔5g, 8h。然後藉CMP法之形成以阻障金屬所構成之較薄導體膜21C1, 及Cu所構成之較厚導體膜21C2所構成的第3層配線11L, 21C。因將21C至少沿著配線之長度方向比8h在平面上較長地形成, 可降低將5g, 8h同時地以Cu埋入時的實效之縱橫比, 成為可容易實施Cu埋入。

第55(a)圖及第55(b)圖係表示將表示於第39圖之連接用導體部21C偏向長度方向(X方向)的變形例。第55(a)圖係表示第2層配線9L至第4層配線13L之一部的要部平面圖, 55(b)圖係表示沿著第55(a)圖之C-C線的要部剖面圖。由此, 即使在相鄰接之第2層配線9L的節距P1之位置形成第2層配線9L, 也可設計連接用導體部21C。

第56圖係表示將表示於第39圖之連接用導體部21C, 僅連接孔8f所配置之部位向垂直於長度方向(X方向)之方法, 在不變更節距P地變粗的變形例。將表示於第56圖之連接用導體部21C適用在表示於第55

(請先閱讀背面之注意事項再填入本頁)

裝

訂

### 五、發明說明 ( 63 )

( a ) 圖及第 5 5 ( b ) 圖的連接用導體部 2 1 C 。

#### ( 實施形態 6 )

第 5 7 圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。第 5 8 圖及第 5 9 圖係表示半導體積體電路裝置之製程中的要部剖面圖。

首先，使用第 5 7 圖說明本實施形態 6 的半導體積體電路裝置之構造。

第 1 層配線 6 L 係以如 W 之 C u 系以外之導體材料所構成，而第 2 層配線 9 L，第 3 層配線 1 1 L 係與實施形態 5 同樣地以 C u 系之導體材料所構成。

第 1 層配線 6 L 係使用於例如將以 M I S F E T 所構成之邏輯電路由予以結線的配線，或結線邏輯電路間的配線，與第 2 層配線 9 L 與第 3 層配線 1 1 L 相比較，比較短之配線長度所構成。

第 2 層配線 9 L 與第 3 層配線 1 1 L 係使用於例如結線邏輯電路間之配線，構成其中一方向 X 方向延伸，而另一方向 Y 方向延伸的構造。

介經以 W 膜構成第 1 層配線 6 L，可用微細圖案形成第 1 層配線 6 L，可提高高積體化，同時可提高電子遷移耐性。

又，由於在第 1 層配線 6 L 未使用 C u 系之導電材料，因此，可減低 C u 對於半導體基板 1 之擴散，並可提高可靠性。

(請先閱讀背面之注意事項再  
裝  
訂  
本頁)

訂



### 五、發明說明 (64)

由於以 Cu 系之導電材料構成第 2 層配線 9 L 與第 3 層配線 11 L，因此可減低配線之電阻係數，可成為高速動作者。

連接用導體部 7 C，18 C，19 C，20 C，21 C 係分別與表示於第 49 圖之連接用導體部 14 C 同樣地，以濺射法形成之 W 所構成的阻障金屬（較薄導體膜）14 C 1，及以 W 所構成之插頭（較厚導體膜）14 C 2 所構成。

第 4 層配線 13 L，與第 5 層配線 102 係例如以 A1 系之導電材料所構成。

第 4 層配線 13 L 係以 W，TiN 等之阻障金屬（較薄導體膜）13 L 1，13 L 3，隔著 A1 或 A1 合金所構成之較厚導體膜 13 L 2 之疊層構造所構成。

介經將以 A1 系導電材料所構成的第 4 層配線 13 L，及以 Cu 系導電材料所構成的第 3 層配線 11 L，經由 W 所構成的連接用導體部 20 C 施以電氣式地連接，成為可防止介經 A1 與 Cu 有高電阻係數之合金層形成在接觸部。又，第 4 層配線 13 L 係以表示於第 44 圖至第 52 圖之配線構造所構成也可以。

又，第 5 層配線 102 係未經由連接用導體部電氣式地連接於第 4 層配線 13 L，惟並不被限定於此者，與第 4 層配線 13 L 與第 3 層 11 L 之間之連接相同地，經由與連接用導體部 20 C 相同之構造的連接用導體部，電氣式地連接第 5 層配線 102 與第 4 層配線 13 L。

（請先閱讀背面之注意事項）

裝

訂

象

### 五、發明說明 ( 65 )

又，將第 5 層配線 1 0 2 與第 4 層配線 1 3 L 同樣地以疊層構造所構成也可以。

在第 5 層配線 1 0 2，形成有例如矽氧化膜所構成的絕緣膜 1 0 4，而在形成於絕緣膜 1 0 4 之開口部形成有下部電極 1 0 6。第 5 層配線 1 0 7 係經由下部電極 1 0 6 電氣式地連接於軟焊料隆起所構成的隆起電極 1 0 8，下部電極 1 0 6 係例如以阻障金屬所構成。

以下，使用第 5 8 圖及第 5 9 圖簡單地說明第 1 層配線 6 L 及連接用導體部 7 C 之形成方法。

與第 8 圖同樣地在層間絕緣膜 4 a 形成連接孔 8 a 之後，如第 5 8 圖所示，藉濺射法堆積 W 所構成之較薄導體膜 7 C 1，然後以 C V D 法將 W 所構成之較厚導體膜 7 C 2 埋入地堆積連接孔 8 a。

然後，如第 5 9 圖所示，藉例如 C M P 法研磨該堆積膜，並在連接孔 8 a 內埋入 W 所構成之較薄導體膜 7 C 1，及 W 所構成之較厚導體膜 7 C 2。

然後，以例如 P V D 法堆積 W 膜之後，藉蝕刻使之圖案化後形成第 1 層配線 6 L。在此以依 P V D 法的 W 膜形成 6 L，惟在以 P V D 法之 W 膜上，形成以依 C V D 法的 W 膜之疊層構造等作各種變更。

然後，以例如 C V D 法堆積矽氧化膜之後，藉 C M P 法研磨矽氧化膜，形成表面被平坦化之層間絕緣膜 4 b。

以下之過程，係與上述之實施形態 1 至 5 同樣地形成。

(請先閱讀背面之注意事項再讀入本頁)

裝

訂

## 五、發明說明 (66)

本實施形態 6 之半導體積體電路裝置係使用隆起電極 108，惟如第 6 C 圖所示，在以第 5 層配線 102 所構成之搭接襯墊電氣式地連接搭接線端 110 也可以。

又，本實施形態 6 之半導體積體電路裝置，係以 5 層之配線層所構成，惟以 7 層之配線層所構成，以 Cu 系之導電材料構成第 2 層至第 5 層配線，而以 Al 系之導電材料構成第 6 層配線至第 7 層配線也可以。此時，第 2 層配線與第 4 層配線構成向相向方向延伸而第 3 層配線與第 5 層配線係構成向相同方向延伸，使用作為連接邏輯電路間之配線。又，本實施形態 6 中，在位於連接用導體部

19C 與連接用導體部 20C 所連接之部分的第 3 層配線層中，至少設置至少沿著配線之長度方向比連接用導體部 19C，20C 平面地較長地形成的連接用導體部 21C，惟將構成連接用導體部 21C 之構造設於第 2，3，4，5 層也可以。

在第 6 1 圖，表示於實施形態 1 至 6 之半導體積體電路裝置的平面佈置。

重複地配置閘極陣列 200，而在各閘極陣列 20C，裝配配置有例如 MISFET，雙載子，電阻等之積體電路元件。

介經變更第 1 層配線至第 5 層配線之配線圖案，構成各種邏輯電路，以形成具有所定邏輯的半導體積體電路裝置。

在第 6 2 圖，表示具有閘極陣列 200 與作為記憶體

(請先閱讀背面之注意事項)

(本頁)

裝

訂

線

## 五、發明說明(67)

之 R A M 4 0 0 的半導體積體電路裝置。

又，如第 6 3 圖所示，隨著 L S I 之性能自由地配置具有各種功能的單元 4 0 0，5 0 0，6 0 0，7 0 0。

如此，依照本實施形態 5，6，除了在上述實施形態 1 所得到之(8)至(10)之效果外，成為可得到以下之效果。

(1) 介經在微細連接孔 8 a 至 8 f 內使用 C V D 法等填充導體膜之後，在此連接孔 8 a 至 8 f 其平面尺寸較大之配線用溝 5 a 至 5 f 內填充導體膜而形成埋入構造之第 1 層配線 6 L，第 2 層配線 9 L 及第 3 層配線 1 1 L，成為在配線用溝 5 a 至 5 f 及比其微細之連接孔 8 a 至 8 f 之雙方良好地埋入導體膜。又，在微細連接孔 8 a 至 8 f 與位於其上方之配線用溝 5 a 至 5 f 內，同時地使用 C V D 法或電鍍法等填充導體膜時，介經將配線用溝 5 a 至 5 f 成為此連接孔 8 a 至 8 f 增大平面尺寸，成為可良好地埋入導體膜。

(2) 介經上述(1)，成為可提高配線層間之連接上的可靠性。因此，成為可提高半導體積體電路裝置之良品率及可靠性。

(3) 介經上述(1)，成為可推動埋入配線之微細化。因此，成為可推動半導體積體電路裝置之小型化或高積體化。

(4) 介經上述(1)，不必採用難技術，在配線用溝 5 a 至 5 f 及連接孔 8 a 至 8 f 可良好地埋入導體膜。

## 五、發明說明 ( 68 )

( 5 ) 介經上述 ( 1 ) , 成爲作爲埋入配線材料即使使用 Cu 或 Cu 合金等時也可良好地實施其埋入狀態。

( 6 ) 與半導體基板 1 直接接觸之第 1 層配線 6 L 係以 W 系之導體材料所構成, 一面良好地保持導體膜對於連接孔 8 a 內之埋入狀態, 一面成爲可避免起因於 Cu 原子對於半導體基板 1 側之擴散現象的元件不良。又, 介經 W 系之導體材料構成第 1 層配線 6 L, 成爲可減低配線電阻與提高 E M 耐性。

以上, 依照實施形態具體地說明藉由本發明者所施行之發明, 惟本發明係並不被限定於上述實施形態者, 在未超出其要旨之範圍內當然可施以各種變更。

例如在半導體基板, 與連接用導體部之接觸部, 也可以設置例如鎢矽化物或鈦矽化物等之矽化物層。

又, 配線層係並不被限定於 4 層至 7 層者而可施以各種變更, 3 層或 4 層以上也可以。

藉由本案所揭示之發明中, 簡單地說明藉由代表性者所得到之效果, 如下所述。

( 1 ) 依照本發明的半導體積體電路裝置之製法, 介經以導體膜充分地埋入連接孔之後, 形成配線用溝, 並以導體膜埋入該溝, 成爲在配線用溝及比該溝更微細之連接孔的雙方良好地埋入導體膜。

( 2 ) 依照本發明的半導體積體電路裝置之製法, 在相同配線層具有不同配線用溝等時, 介經選擇以微細之配線用溝等與比其更大之配線用溝等容易埋入之方法來埋入

(請先閱讀背面之注意事項再填)

裝

訂

### 五、發明說明 ( 69 )

導體膜，成為在雙方之配線用溝內可良好地埋入導體膜。

( 3 ) 介經上述 ( 1 ) 或 ( 2 )，成為可提高配線層間之連接上的可靠性。因此，成為可提高半導體積體電路裝置之良品率及可靠性。

( 4 ) 介經上述 ( 1 ) 或 ( 2 )，成為可推動埋入配線之微細化。因此，成為可推動半導體積體電路裝置之小型化或高積體化。

( 5 ) 介經上述 ( 1 ) 或 ( 2 )，不必採用難技術，在配線用溝及連接孔良好地埋入導體膜。

( 6 ) 介經上述 ( 1 ) 或 ( 2 )，成為作為埋入配線材料即使使用 Cu 或 Cu 合金等時也可良好地實施其埋入狀態。

( 7 ) 依照本發明的半導體積體電路裝置之製法，介經在包含配線用溝之絕緣膜上平坦化以濺射法等所形成之 Cu 系導體材料俾除去配線用溝等以外之領域的 Cu 系導體材料，形成埋入配線後施以熱處理，由於促進 Cu 之粒子成長而提高 EM 耐性，同時在平坦化處理時可避免產生在 Cu 系導體膜之表面的損傷或氧化膜等將其表面成為平滑，或可除去減低 CMP 時所露出的絕緣膜之表面污染，因此，可提高 Cu 系導體材料所構成的埋入配線之可靠性。

( 8 ) 依照本發明之半導體積體電路裝置，再於在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，上述埋入配線與半導體基板接觸部分的配線材料，係

### 五、發明說明 (70)

以 W，W 合金，A l 或 A l 合金所構成，介經將其上層之配線層的埋入配線以 C u 或 C u 合金所構成，一面良好地保持導體膜對於連接孔之埋入狀態，一面防止 C u 原子對於半導體基板側之擴散俾避免起因於其擴散現象之元件不良，且可減低半導體積體電路裝置之整體性之配線電阻而成為可提高傳播速度。

(9) 依照本發明之半導體積體電路裝置，屬於在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，上述配線層中之最上配線層的配線材料以 A l 或 A l 合金所構成，其下層配線層的埋入配線以 C u 或 C u 合金所構成，且仍然沿用以往之搭接線端技術或隆起電極之形成技術等之裝配技術。因此，成為可將具有 C u 系導體材料之埋入配線的半導體積體電路裝置容易地導入在裝配過程。

(10) 依照本發明之半導體積體電路裝置，屬於在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，在連接 A l 或 A l 合金所構成之配線，及 C u 或 C u 合金所構成的配線時，介經在此等接合部作為阻障導體膜介裝插頭，由於在直接接觸 A l 系導體材料與 C u 系導體材料時，可防止在其接觸部形成有高電阻係數之合金層，因此成為降低配線層間之連接電阻。

(11) 介經上述 (8) 至 (10)，成為可將 C u 系導體材料所構成的埋入配線，不會產生不方便下，裝進半導體積體電路裝置之整體構造。

(請先閱讀背面之注意事項再填)

裝

訂

## 五、發明說明(71)

(12)又，依照本發明之半導體積體電路裝置，介經上述中繼用之連接用導體部，係至少其所定埋入配線之配線延伸方向的長度，形成比上述連接孔之上述配線延伸方向的長度較長，由於可將形成中繼用之連接用導體部的連接用溝形成較大，因此，在連接用溝的可良好地埋入導體膜。故可提高上下之配線層間之電氣式地連接上的可靠性，成為可提高半導體積體電路裝置之良品率及可靠性。

### (圖式之簡單說明)

第1圖係表示本發明之一實施形態之半導體積體電路裝置的要部剖面圖。

第2圖係表示第1圖之半導體積體電路裝置之第1層配線的要部剖面圖。

第3圖係表示第2圖之配線構造之變形例的剖面圖。

第4圖係表示第2圖之配線構造之變形例的剖面圖。

第5圖係表示第2圖之配線構造之變形例的剖面圖。

第6圖係表示第1圖之半導體積體電路裝置之第2層配線的要部剖面圖。

第7圖係表示第1圖之半導體積體電路裝置之配線層間連接之變形例之半導體積體電路裝置的要部剖面圖。

第8圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖。

第9圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖。

(請先閱讀背面之注意事項再填)  
裝  
訂  
本頁



## 五、發明說明(72)

第10圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖。

第11圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖。

第12圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖。

第13圖係表示第1圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第14圖係表示第1圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第15圖係表示第1圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第16圖係表示第1圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第17圖係表示第1圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第18圖係表示第1圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第19圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第20圖係表示繼續於第19圖之半導體積體電路裝置之製程中的要部剖面圖。

第21圖係表示繼續於第19圖之半導體積體電路裝置之製程中的要部剖面圖。

(請先閱讀背面之注意事項再填此頁)

裝

訂

線

### 五、發明說明(73)

第22圖係表示繼續於第19圖之半導體積體電路裝置之製程中的要部剖面圖。

第23圖係表示繼續於第19圖之半導體積體電路裝置之製程中的要部剖面圖。

第24圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第25圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第26圖係表示繼續於第25圖之半導體積體電路裝置之製程中的要部剖面圖。

第27圖係表示繼續於第25圖之半導體積體電路裝置之製程中的要部剖面圖。

第28圖係表示繼續於第25圖之半導體積體電路裝置之製程中的要部剖面圖。

第29圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第30圖係表示繼續於第29圖之半導體積體電路裝置之製程中的要部剖面圖。

第31圖係表示繼續於第29圖之半導體積體電路裝置之製程中的要部剖面圖。

第32圖係表示繼續於第29圖之半導體積體電路裝置之製程中的要部剖面圖。

第33圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

(請先閱讀背面之注意事項再填本頁)

裝

訂

### 五、發明說明(74)

第34圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第35圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第36圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第37圖係表示第36圖之半導體積體電路裝置的要部放大剖面圖。

第38圖係表示於第37圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第39(A)圖係表示於第37圖之半導體積體電路裝置之要部之變形例的要部平面圖。

第39(B)，(C)圖係表示於第39圖(A)之半導體積體電路裝置之要部之變形例的要部放放大剖面圖。

第40圖係模式地表示第39圖之半導體積體電路裝置之要部的說明圖。

第41圖係模式地表示第40圖之變形例的說說明圖。

第42圖係模式地表示第40圖之變形例的說說明圖。

第43圖係模式地表示第40圖之變形例的說說明圖。

第44圖係表示第36圖之半導體積體電路裝置之要

(請先閱讀背面之注意事項再讀本頁)

裝

訂

線

## 五、發明說明(75)

部之變形例的要部放大剖面圖。

第45圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第46圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第47圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第48圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第49圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第50圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第51圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第52圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第53圖係表示第39(C)圖之半導體積體電路裝置之變形例的剖面圖。

第54圖係表示第39(C)圖之半導體積體電路裝置之變形例的剖面圖。

第55(a)圖係表示第39(A)圖之半導體積體電路裝置之變形例的平面圖。

第55(b)圖表示於第55(a)圖之半導體積體

(請先閱讀背面之注意事項再讀此頁)

裝

訂

## 五、發明說明(76)

電路裝置的要部放大剖面圖。

第56圖係表示第39(A)圖之半導體積體電路裝置之實施例的平剖面圖。

第57圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第58圖係表示第57圖之半導體積體電路裝置之製程中的要部剖面圖。

第59圖係表示第57圖之半導體積體電路裝置之製程中的要部剖面圖。

第60圖係表示第57圖之半導體積體電路裝置之變形例的要部剖面圖。

第61圖係表示本發明之實施形態之半導體積體電路裝置的平面佈置圖。

第62圖係表示第61圖之半導體積體電路裝置之變形例的平面佈置圖。

第63圖係表示第61圖之半導體積體電路裝置之變形例的平面佈置圖。

### (記號之說明)

1 半導體基板，2 元件分離部，2 a 分離用溝，2 b 分離用絕緣膜，4 a ~ 4 d 層間絕緣膜，5 a ~ 5 f 配線用溝，6 L 第1層配線，7 C 連接用導體部，8 a ~ 8 h 連接孔，9 L 第2層配線，10 C 連接用導體部，

(請先閱讀背面之注意事項再  
訂本頁)

裝

訂

## 五、發明說明(77)

11L 第3層配線，12C 連接用導體部，  
13L 第4層配線，14C 連接用導體部，  
15 表面保護膜，15a，15b 保護膜，  
17a~17c 光阻圖案，  
19c~21c 連接用導體部，102 第5層配線，  
104 絕緣膜，106 下部電極，108 隆起電極，  
110 搭接線端，200 閘極陣列，  
400 RAM

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種半導體積體電路裝置之製法，其特徵為具有

- ：
- (a) 在上述半導體基板上層之絕緣膜開連接孔，及
- (b) 在上述絕緣膜上，埋入上述連接孔地形成連接用之導體膜，及
- (c) 上述連接用之導體膜之形成製程後，對於上述連接用之導體膜施以平坦化處理，介經除去連接孔內以外之連接用的導體膜，在上述連接孔內形成連接用導體部，及
- (d) 在形成上述連接用導體部後之絕緣膜的配線形成領域形成配線用溝，及
- (e) 在上述絕緣膜上，埋入上述配線用溝地形成配線用之導體膜，及
- (f) 上述配線用之導體膜之形成製程後，對於上述配線用之導體膜施以平坦化處理，介經除去配線用溝以外之配線用之導體膜，在上述配線用溝形成埋入配線。

2. 如申請專利範圍第1項所述的半導體積體電路裝置之製法，其中，在上述連接用之導體膜的形成製程中，具有

- (a) 藉由濺射法形成構成上述連接用之導體膜之較薄導體膜的製程，及
- (b) 在上述較薄導體膜上，藉由CVD法形成構成上述連接用之導體膜之較厚導體膜的製程。

3. 如申請專利範圍第1項所述的半導體積體電路裝

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

置之製法，其中，在上述連接用之導體膜的形成製程中，具有藉由選擇CVD法形成構成上述連接用之導體膜之較厚導體膜的製程者。

4. 如申請專利範圍第1項、第2項或第3項中任何一項所述的半導體積體電路裝置之製法，其中，上述配線用之導體膜由銅或銅合金所構成，以濺射法形成該導體膜時，具有在上述配線用之導體膜的平坦化處理製程後施加熱處理之製程者。

5. 如申請專利範圍第1項、第2項或第3項中任何一項所述的半導體積體電路裝置之製法，其中，上述配線用之導體膜由銅或銅合金所構成，以CVD法或電鍍法形成該導體膜時，具有在上述配線用之導體膜的形成製程或平坦化處理製程之至少一方的製程後施加熱處理的製程者。

6. 一種半導體積體電路裝置之製法，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置之製法，其特徵為：在形成於相同之埋入配線層之尺寸不同的配線用溝內埋入導體膜時，在上述尺寸不同之配線用溝內分別個別地埋入導體膜者。

7. 如申請專利範圍第6項所述的半導體積體電路裝置之製法，其中，在上述不同尺寸之配線用溝中，相對地縱橫比小的配線用溝，藉由濺射法，CVD法或電鍍法埋入銅或銅合金所構成的較厚導體膜，而在相對地縱橫比大的配線用溝，具有藉由CVD法或電鍍法埋入鎢、鎢合金



## 六、申請專利範圍

、鋁、鋁合金或鈦氮化物所構成之較厚導體膜的製程者。

8. 一種半導體積體電路裝置之製法，其特徵為具有：

(a) 在上述半導體基板上層的絕緣膜開配線用溝與連結孔，及

(b) 在上述絕緣膜上，埋入上述配線用溝與連接孔地介經濺射法形成銅或銅合金所構成之導體膜，及

(c) 對於上述銅或銅合金所構成的導體膜施以平坦化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜，及

(d) 在上述銅或銅合金所構成之導體膜的平坦化處理製程後施以熱處理。

9. 一種半導體積體電路裝置之製法，其特徵為具有：

(a) 在上述半導體基板上層的絕緣膜開配線用溝與連結孔，及

(b) 在上述絕緣膜上，埋入上述配線用溝與連接孔地介經 P V D 法或 C V D 法或電鍍法或此等之組合形成銅或銅合金所構成之導體膜，及

(c) 對於上述銅或銅合金所構成的導體膜施以平坦化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜，及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

(d) 在上述銅或銅合金所構成之導體膜的形成製程或平坦化處理製程之至少一方的處理製程後施以熱處理。

10. 一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為具有：埋入於電氣式地連接上述埋入配線與其下層之配線的連接孔內的連接用導體部突出於上述埋入配線中的構造者。

11. 如申請專利範圍第10項所述的半導體積體電路裝置，其中，上述埋入配線係銅或銅合金所構成，上述連接用導體部係銅，銅合金，鋁，鋁合金，鎢，鎢合金或鈦氮化物中之至少一種所構成者。

12. 一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為具有：將連接比上述配線層中之所定埋入配線的配線層更上層的配線及比上述所定埋入配線的配線層更下層的配線的連接孔，設成貫穿上上述所定埋入配線之配線層，並將上述上層之配線與下層之配線，不必經由埋入配線，經設於上述連接孔內之連接用導體部電氣式地連接的構造者。

13. 一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為：在相同埋入配線層，設有以不同導體材料所構成的配線構成部者。

14. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：將以銅

## 六、申請專利範圍

系之導電材料所構成之上述埋入配線及半導體基板所接觸之部分的配線材料，以鎢、鎢合金、鋁、鋁合金或鈦氮化物所構成者。

15. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：將上述配線層中之最上配線層的配線材料以鋁或鋁合金所構成，將位於其下層之配線中之至少一配線層的埋入配線以銅或銅合金所構成者。

16. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：將配線與半導體基板所接觸部分的配線材料以鎢、鎢合金、鋁或鋁合金所構成；將最上配線層的配線材料以鋁以鋁合金所構成，將位於最上配線層及最下配線層之間的配線層中之至少一配線層的配線以銅或銅合金所構成者。

17. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：在連接鋁或鋁合金所構成之配線，及銅或銅合金所構成的配線時，在此等接合部介裝阻障導體膜者。

18. 一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵為：在電氣式地連接比上述配線層中之所定埋入配線層更上層的配線與比上述所定之埋入配線之配線層更下層的配線時，具備將設置於從上述上層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，及設置於從

## 六、申請專利範圍

上述下層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，經由設置於上述所定埋入配線之配線層之連接用溝內的中繼用連接用導體部電氣式連接之構造，上述中繼用連接用導體部係至少其所定之埋入配線延伸方向的長度，形成比上述連接孔之上述配線延伸方向的長度較長者。

19. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：

以銅系材料所構成的第1配線層；

形成於比上述第1配線層更上層，且以鋁系材料所構成的第2配線層，及

形成於比上述第1配線層更下層，且以銅系材料所構成的第3配線層。

20. 如申請專利範圍第19項所述的半導體積體電路裝置，其中，上述第1配線層與上述第2配線層係經由阻障導體膜電氣式地連接者。

21. 如申請專利範圍第19項或第20項所述的半導體積體電路裝置，其中，上述第2配線層係電氣式地連接於搭接線端或隆起電極者。

22. 如申請專利範圍第19項或第20項所述的半導體積體電路裝置，其中，上述第3配線層係以鎢系導電材料所構成者。

23. 如申請專利範圍第17項所述的半導體積體電路裝置，其中，上述阻障導體膜係埋入在形成於層間絕緣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

膜之連接孔內所形成者。

24. 如申請專利範圍第23項所述的半導體積體電路裝置，其中，上述阻障導體膜係以錫系導電材料所構成者。

25. 一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵為：

具有向第1方向延伸所構成之第1配線的第1配線層；

形成於比上述第1配線層更上層，且具有向垂直於上述第1方向之第2方向延伸所構成之第2配線的第2配線層，及

形成於比上述第2配線層更上層，且具有向上述第1方向延伸所構成的第3配線的第3配線層；

上述第2配線層係包含電氣式地連接上述第1配線與上述第2配線的連接用導體部；

上述連接用導體部之第2方向的長度，係比上述連接用導體部之第1方向的長度構成較長者。

26. 如申請專利範圍第25項所述的半導體積體電路裝置，其中，上述連接用導體部之第2方向的長度係以上述連接用導體部之第1方向的長度之兩倍以下所構成者。

27. 如申請專利範圍第25項或第26項所述的半導體積體電路裝置，其中，第1層間絕緣膜形成於上述第1配線層與第2配線層之間；第2層間絕緣膜形成於上述

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

第2配線層與第3配線層之間：上述第2配線層之配線寬度與上述連接用導體部之第1方向的長度係構成大約相等者。

28. 一種半導體積體電路裝置，其特徵為：

電晶體構成在半導體基板，

具有連接孔之第1絕緣膜形成覆蓋上述電晶體，

第1配線係形成於上述第1絕緣膜上，且經上述連接孔電氣式地連接於上述電晶體，

第2配線係經由第1層間絕緣膜形成於上述第1配線之上部，

上述第1配線係作為主成分包含錫，

上述第2配線係作為主成分包含銅。

29. 如申請專利範圍第28項所述之半導體積體電路裝置，其中，

上述第1配線係經由連接用導體部電氣式地連接於上述電晶體，

上述連接用導體部係作為主成分包含錫。

30. 如申請專利範圍第29項所述之半導體積體電路裝置，其中，

上述連接用導體部與第1配線係一體地形成者。

31. 如申請專利範圍第28項所述之半導體積體電路裝置，其中，

在形成於上述第1層間絕緣膜之連接孔形成一連接用導體部，

## 六、申請專利範圍

上述連接用導體部與第2配線係一體地形成者。

32. 如申請專利範圍第28、29、30或31項中任何一項所述之半導體積體電路裝置，其中，

第3配線係經由第2層間絕緣膜形成於上述第2配線之上部，

上述第3配線係作為主成分包含鋁者。

33. 如申請專利範圍第28、29、30或31項中任何一項所述之半導體積體電路裝置，其中，

第3配線係經由第2層間絕緣膜形成於上述第2配線之上部，

具有露出上述第3配線之開口部的表面保護膜形成於上述第3配線，

搭接線電氣式地連接於上述第3配線，

上述第3配線係作為主成分包含鋁者。

34. 如申請專利範圍第28、29、30或31項中任何一項所述之半導體積體電路裝置，其中，

第3配線係經由第2層間絕緣膜形成於上述第2配線之上部，

具有開口部的保護膜形成於上述第3配線上，

隆起電極係經由上述開口部電氣式地連接於上述第3配線。

上述第3配線係作為主成分包含鋁者。

35. 如申請專利範圍第34項所述之半導體積體電路裝置，其中，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

隆起電極經由形成於上述第2層間絕緣膜上之阻障金屬電氣式地連接於上述第3配線。

36. 如申請專利範圍第34項所述之半導體積體電路裝置，其中，

上述隆起電極係以金隆起接點所構成者。

37. 如申請專利範圍第34項所述之半導體積體電路裝置，其中，

上述隆起電極係以焊料隆起接點所構成者。

38. 一種半導體積體電路裝置，其特徵為：

電晶體構成在半導體基板，

第1配線係經由第1層間絕緣膜形成於上述電晶體上，

第2配線係經由第2層間絕緣膜形成於上述電晶體上，

表面保護膜係形成於上述第2配線上，

上述第1配線係作為主成分包含銅，

上述第2配線係作為主成分包含鋁。

39. 如申請專利範圍第38項所述之半導體積體電路裝置，其中，

上述表面保護膜係包括氮矽膜，

上述第2配線係包括阻障金屬膜及以該阻障金屬膜上之鋁包合作為主成分的厚導體膜。

40. 如申請專利範圍第38項或第39項所述之半導體積體電路裝置，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

隆起電極係經由形成於上述表面保護膜之開口部電氣式地連接於上述第 2 配線。

4 1 . 如申請專利範圍第 4 0 項所述之半導體積體電路裝置，其中，

隆起電極經由形成於上述表面保護膜上之阻障金屬電氣式地連接於上述第 2 配線。

4 2 . 如申請專利範圍第 4 0 項所述之半導體積體電路裝置，其中，

上述隆起電極係以金隆起接點所構成者。

4 3 . 如申請專利範圍第 4 0 項所述之半導體積體電路裝置，其中，

上述隆起電極係以焊料隆起接點所構成者。

4 4 . 如申請專利範圍第 3 8 或第 3 9 項所述之半導體積體電路裝置，其中，

上述表面保護膜係具有露出上述配線的開口部，

搭接線係電氣式地連接於上述第 2 配線者。

4 5 . 如申請專利範圍第 3 8 項或第 3 9 項所述之半導體積體電路裝置，其中，

第 3 層間絕緣膜形成於上述電晶體與上述第 1 層間絕緣膜之間，

第 3 配線係形成於上述第 3 層間絕緣膜，

上述第 3 配線係電氣式地連接於上述電晶體，

上述第 3 配線係作為主成分包含鎢。

4 6 . 如申請專利範圍第 4 5 項所述之半導體積體電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

路裝置，其中，

上述第 1 配線係經由形成於上述第 1 層間絕緣膜之連接孔連接於上述第 3 配線。

47. 如申請專利範圍第 45 項所述之半導體積體電路裝置，其中，

上述第 3 配線係形成在形成於上述第 3 層間絕緣膜之溝部。

48. 一種半導體積體電路裝置，其特徵為：

第 1 層間絕緣膜係形成於半導體基板上，

連接孔與配線溝係形成於上述第 1 層間絕緣膜，

連接用導體部係形成於上述連接孔，

配線係形成於上述配線溝，

上述連接用導體部之上面高度係與上述配線之高度大約相等。

49. 如申請專利範圍第 48 項所述之半導體積體電路裝置，其中，構成上述連接用導體部之主成分的金屬，及構成上述配線之主成分的金屬係以不相同之材料所構成。

50. 如申請專利範圍第 48 項所述之半導體積體電路裝置，其中，

上述配線係作為主成分包含銅，

上述連接用導體部係作為主成分包含鋁或鎢。

51. 如申請專利範圍第 48、49 或 50 項中任何一項所述之半導體積體電路裝置，其中，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

第2層間絕緣膜係形成於上述第1層間絕緣膜，

上述第2層間絕緣膜係具有形成於連接孔的連接用導體部及形成於配線溝的配線，

上述連接用導體部之上面高度係與上述配線之高度大約相等。

52. 一種半導體積體電路裝置之製法，其特徵為具有：

準備連接用導體部形成於連接孔之第1層間絕緣膜之製程，及

在上述第1層間絕緣膜形成配線溝的製程，及

在上述配線溝埋入配線的製程。

53. 如申請專利範圍第52項所述之半導體積體電路裝置之製法，其中，構成上述連接用導體部之主成分的金屬，及構成上述配線之主成分的金屬係以不相同之材料所構成。

54. 如申請專利範圍第52項所述之半導體積體電路裝置之製法，其中，

上述連接用導體部係作為主成分包含鋁或鎢，

上述配線係作為主成分包含銅。

55. 如申請專利範圍第52項所述之半導體積體電路裝置之製法，其中，上述配線係具有阻障金屬膜，及形成於上述阻障金屬膜上，且以與構成上述連接用導體部之主成分之金屬不相同之材料所構成的金屬膜。

56. 如申請專利範圍第52、53、54或55項

## 六、申請專利範圍

中任何一項所述之半導體積體電路裝置之製法，其中，又具有：

在上述第1層間絕緣膜上，準備連接用導體部形成於連接孔之第2層間絕緣膜的製程，及

在上述第2層間絕緣膜形成配線溝的製程，及

在上述配線溝埋入配線的製程。

5.7. 如申請專利範圍第5.2、5.3、5.4或5.5項中任何一項所述之半導體積體電路裝置之製法，其中，又具有：

上述連接用導體部之上面高度係與上述配線之高度大約相等。

5.8. 一種半導體積體電路裝置，包含：

一第1絕緣膜被形成覆蓋在一半導體基板上；

一第1配線層被形成覆蓋在上述第1層間絕緣膜，且第1配線層具有一第1導體膜及一第2導體膜包含銅作為主要成分，且第1導體膜被插入在第2導體膜及上述第1絕緣膜之間，且第1導體膜具有一抑制銅擴散之作用；

一第2絕緣膜被形成覆蓋在上述第1配線膜上，且第2絕緣膜具有一抑制銅擴散之作用；

一第3絕緣膜被形成覆蓋在上述第2絕緣層上；

一第2配線層包含鋁作為一主要的成分且被形成覆蓋在上述第3絕緣層上；及

一連接用導體部被形成在上述第2絕緣層及第3絕緣層中，且接觸上述第1配線層及上述第2配線層，且此連

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

接用導體部具有一抑制銅擴散之作用。

59. 如申請專利範圍第58項之半導體積體電路裝置，其中，上述第2絕緣層包含一氮化物膜。

60. 如申請專利範圍第58項之半導體積體電路裝置，其中，上述第1導體膜具有一厚度小於上述第2導體膜之厚度。

61. 如申請專利範圍第58項之半導體積體電路裝置，其中，上述第1導體膜是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

62. 如申請專利範圍第58項之半導體積體電路裝置，其中，上述連接用導體都是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

63. 如申請專利範圍第58項之半導體積體電路裝置，更進一步包含一鈍化膜覆蓋在上述第2配線層上。

64. 如申請專利範圍第63項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一搭接線端經由一形成在上述鈍化膜中的連接孔。

65. 如申請專利範圍第63項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一隆起電極經由一形成在上述鈍化膜中的連接孔。

66. 一種半導體積體電路裝置，包含：

一第1絕緣膜被形成覆蓋在一半導體基板上；

一第1配線層包含銅作為一主要成分且被埋入在上述

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

第 1 絕緣膜之一表面中；

一第 2 絕緣膜被形成覆蓋在上述第 1 配線膜上；

一第 2 配線層包括鋁作為一主要的成分且被形成覆蓋在上述第 2 絕緣層上；及

一連接用導體部被形成在上述第 2 絕緣層中，且電氣式地連接上述第 1 配線層及上述第 2 配線層；

其中上述第 1 配線層是被覆蓋以一阻障層以抑制銅之擴散。

67. 如申請專利範圍第 66 項之半導體積體電路裝置，其中，上述阻障層包含一第 1 阻障層被插入在上述第 1 絕緣層及上述第 1 配線層之間，及一第 2 阻障層被插入在上述第 1 配線層及上述第 2 絕緣層之間。

68. 如申請專利範圍第 67 項之半導體積體電路裝置，其中，上述第 1 阻障層是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

69. 如申請專利範圍第 67 項之半導體積體電路裝置，其中，上述第 2 阻障層是由一氮矽膜所組成。

70. 如申請專利範圍第 66 項之半導體積體電路裝置，其中，上述連接用導體部具有一抑制銅擴散之作用。

71. 如申請專利範圍第 70 項之半導體積體電路裝置，其中，上述連接用導體都是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

72. 如申請專利範圍第 66 項之半導體積體電路裝

## 六、申請專利範圍

置，更進一步包含一鈍化膜覆蓋在上述第2配線層上。

73. 如申請專利範圍第72項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一配線經由一形成在上述鈍化膜中的連接孔。

74. 如申請專利範圍第72項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一隆起電極經由一形成在上述鈍化膜中的連接孔。

(請先閱讀背面之注意事項再填寫本頁)

訂

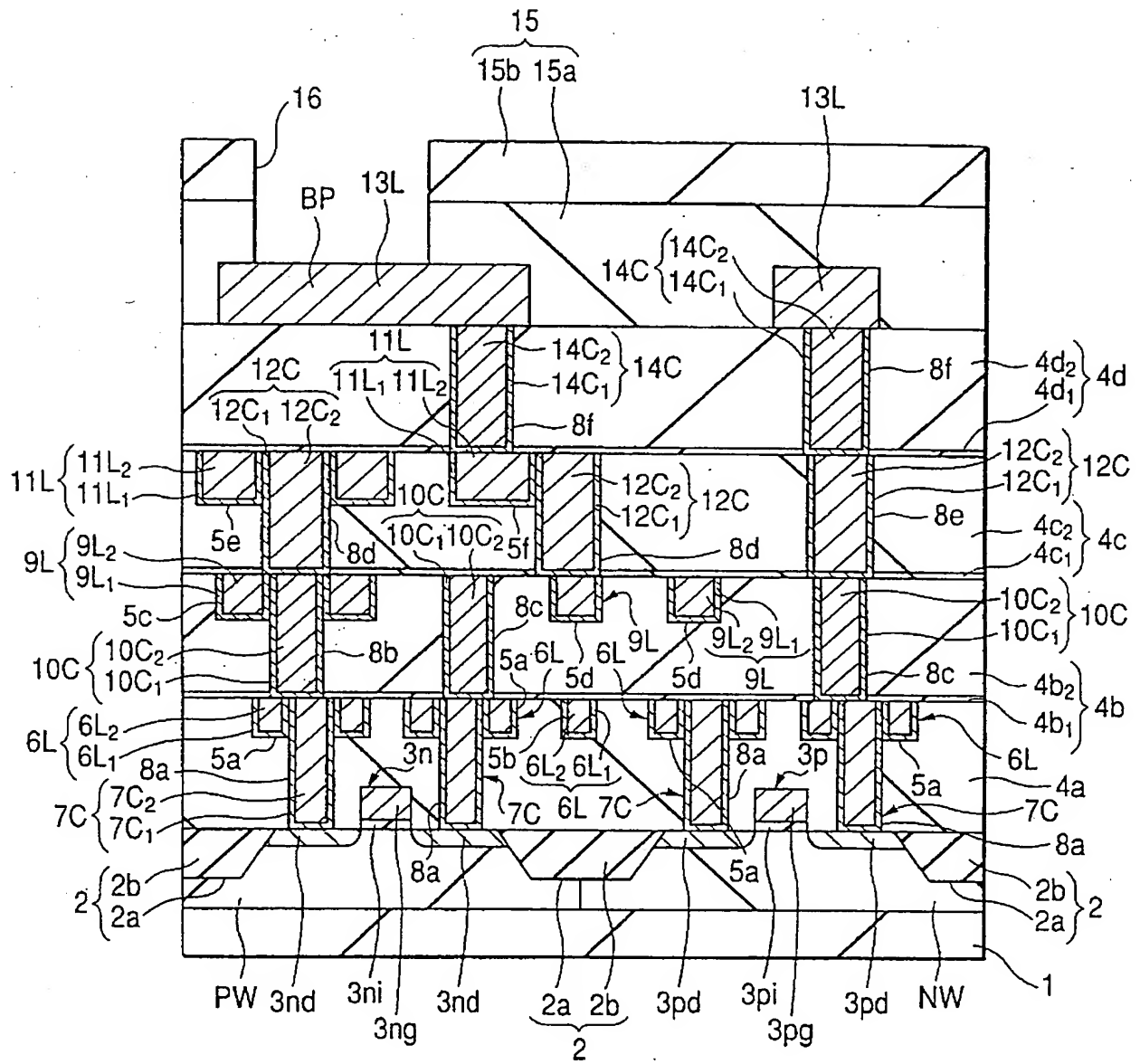
線

**THIS PAGE BLANK (USPTO)**



459342 87112907

731985



第 1 圖

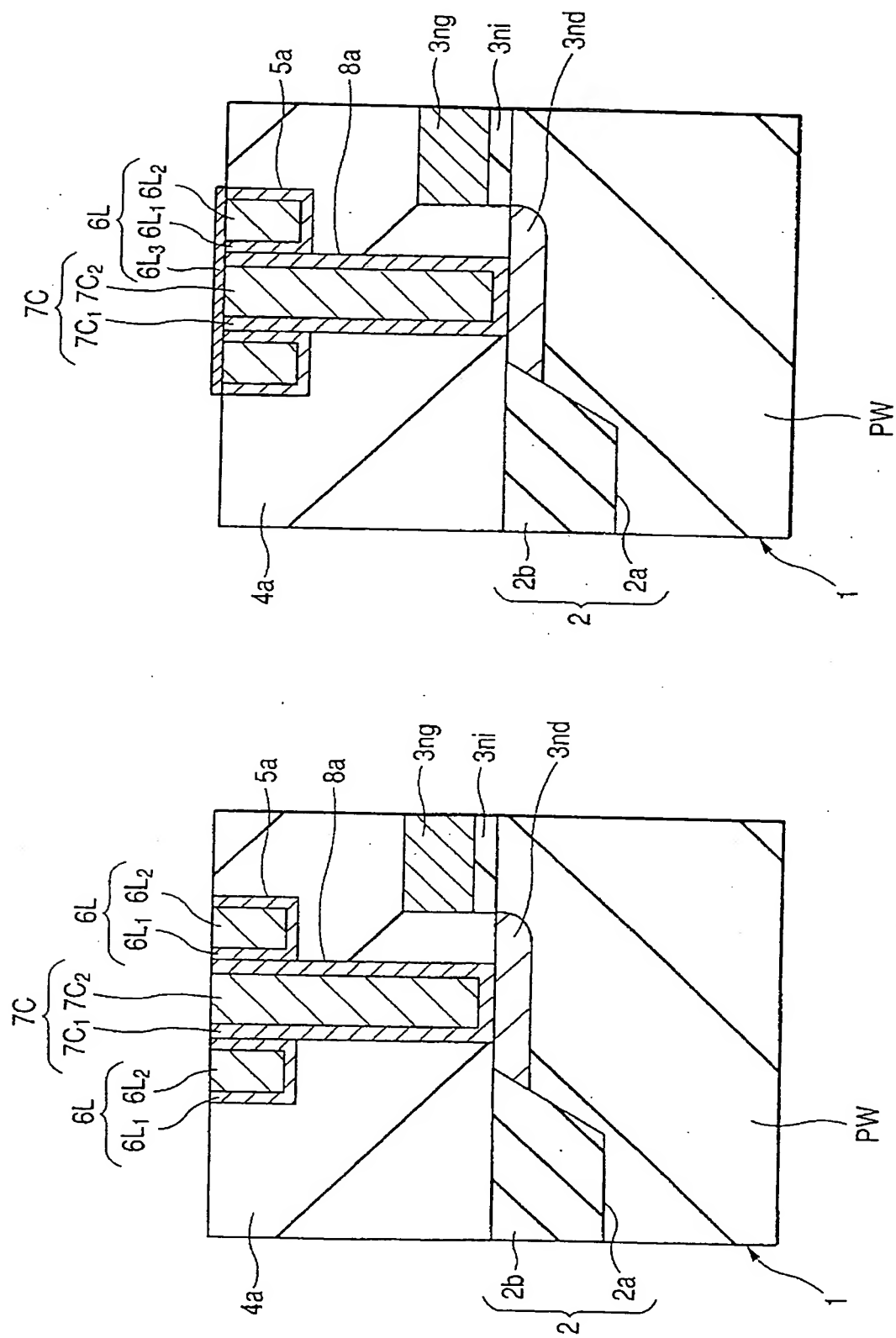


圖 2

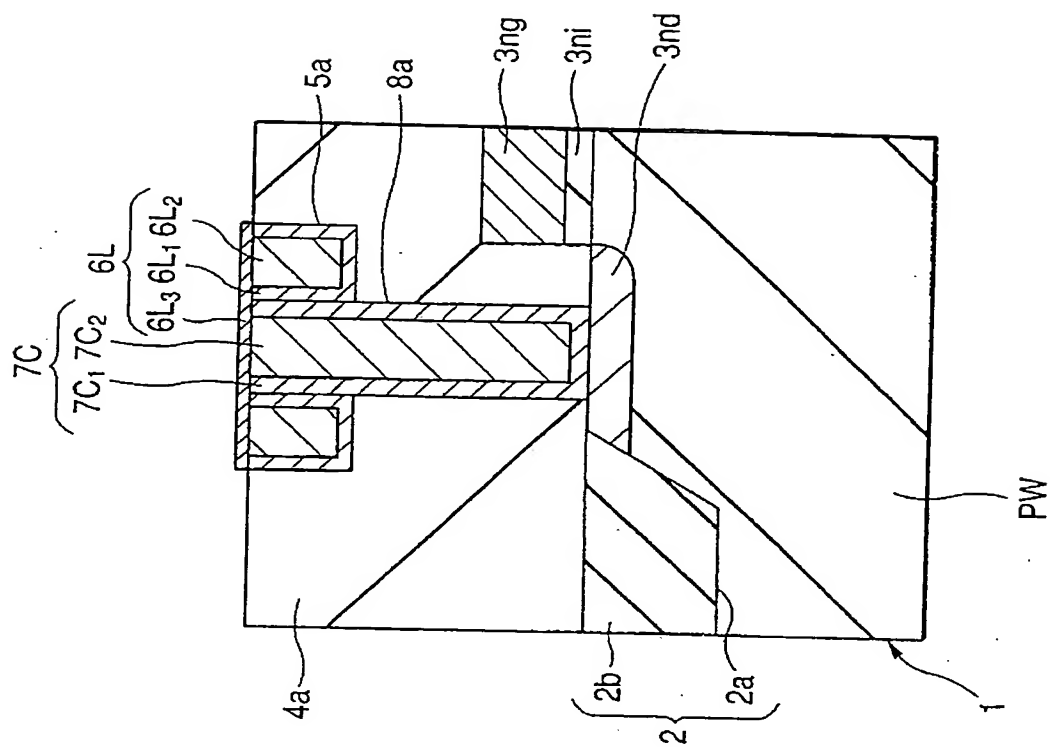
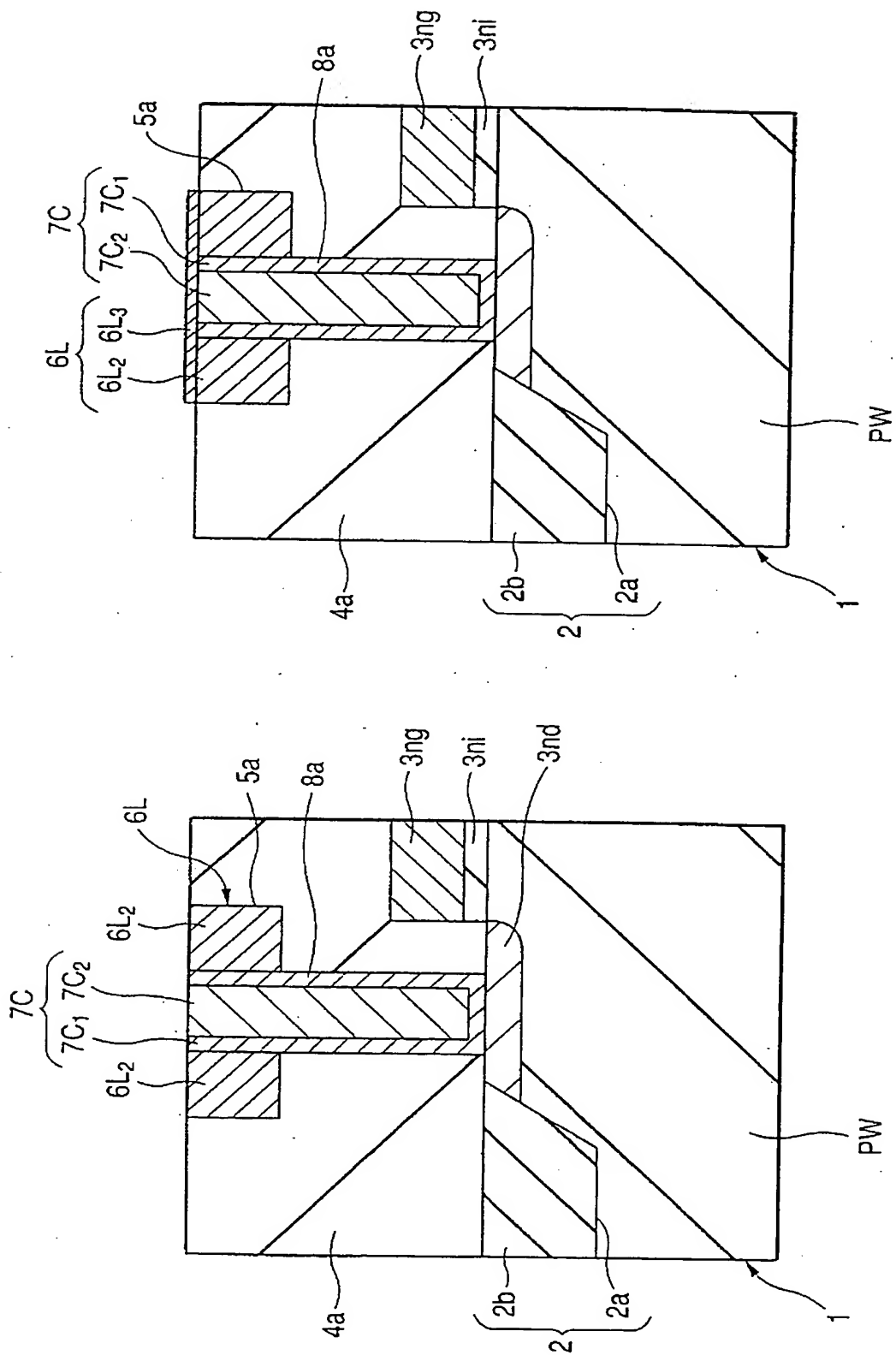


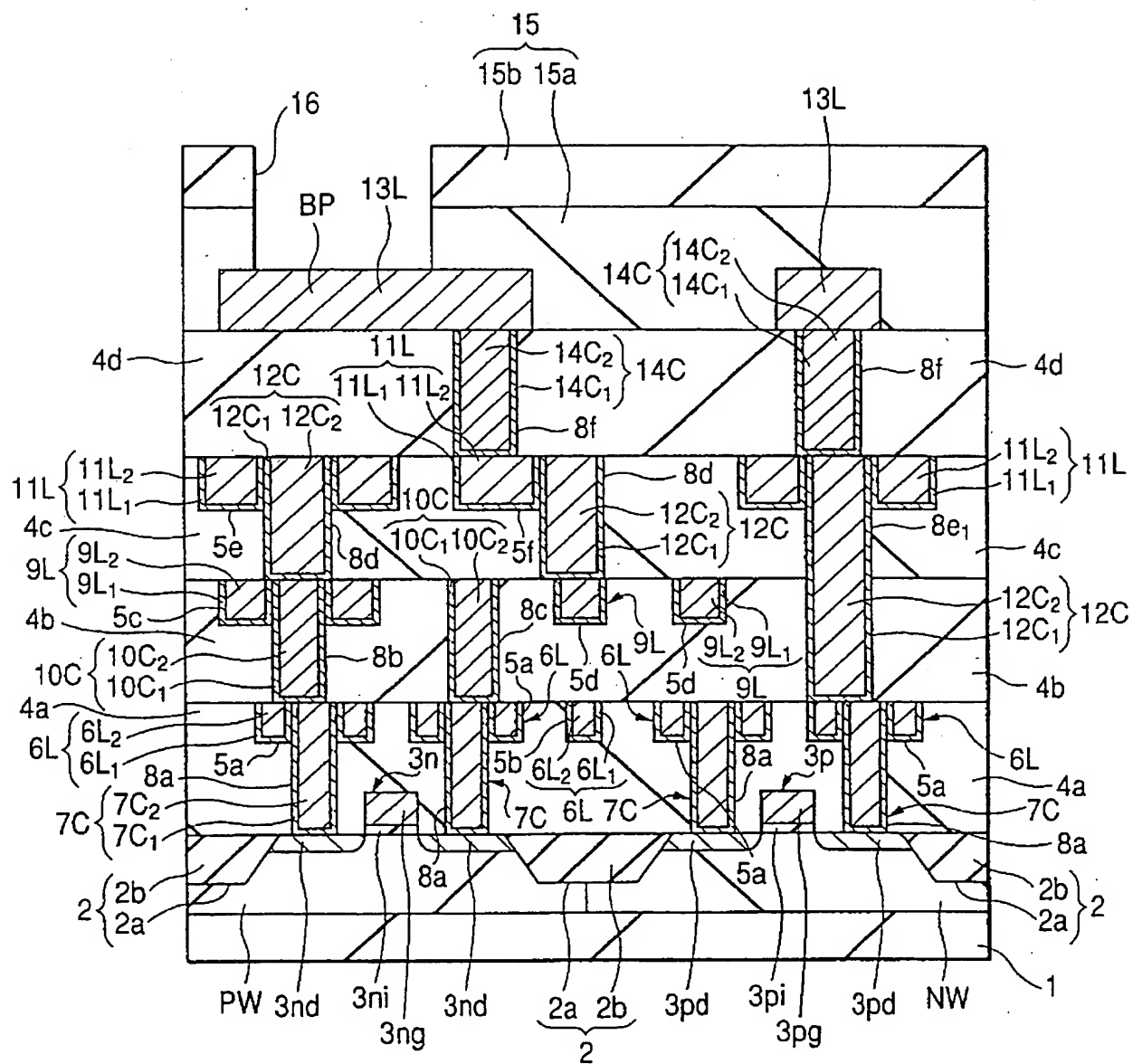
圖 3 第



第4圖

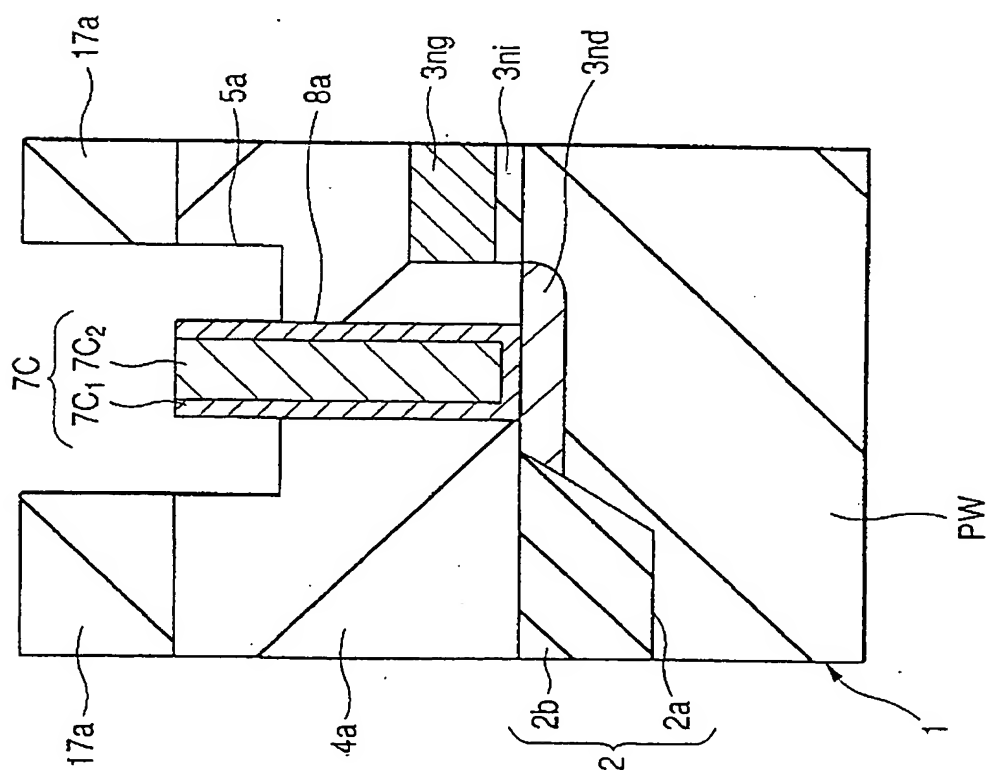
第5圖



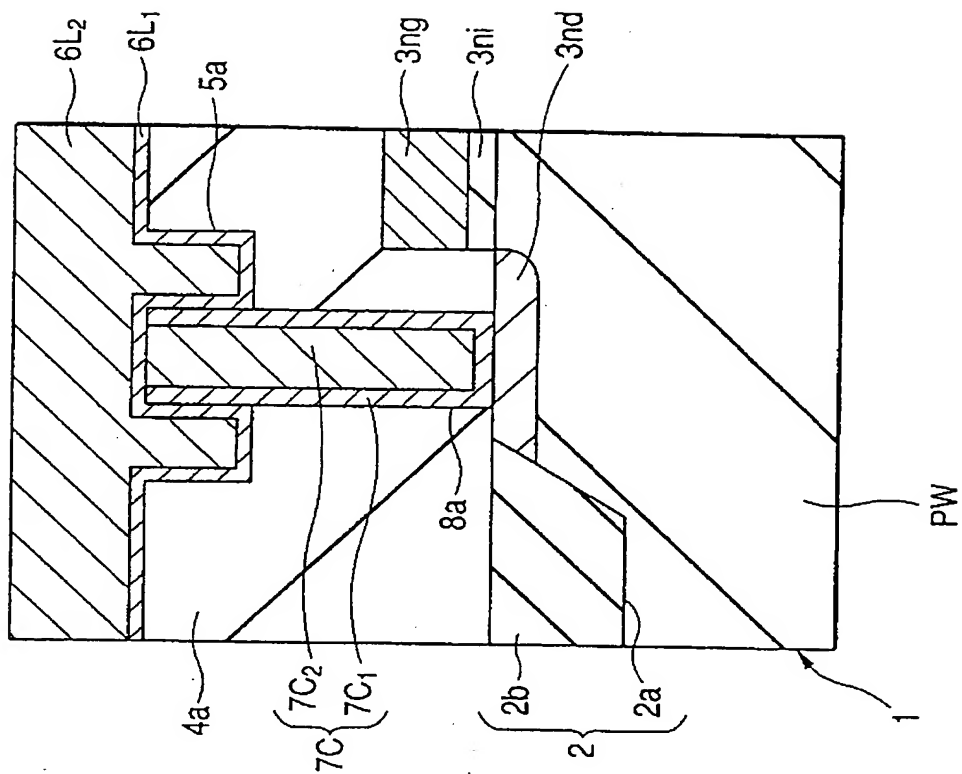


第 7 圖

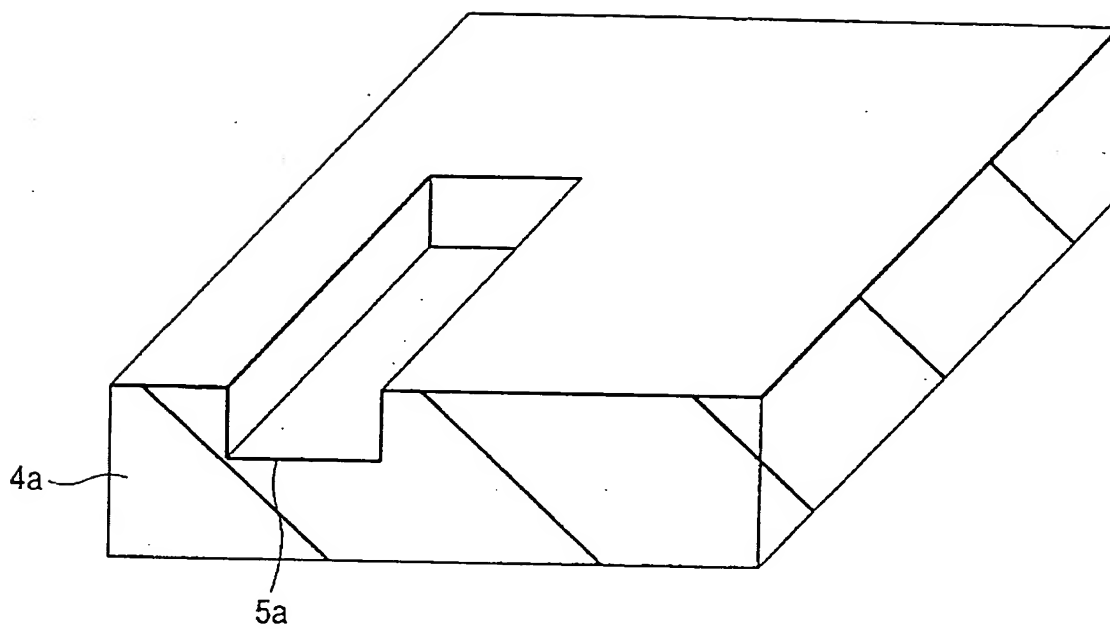




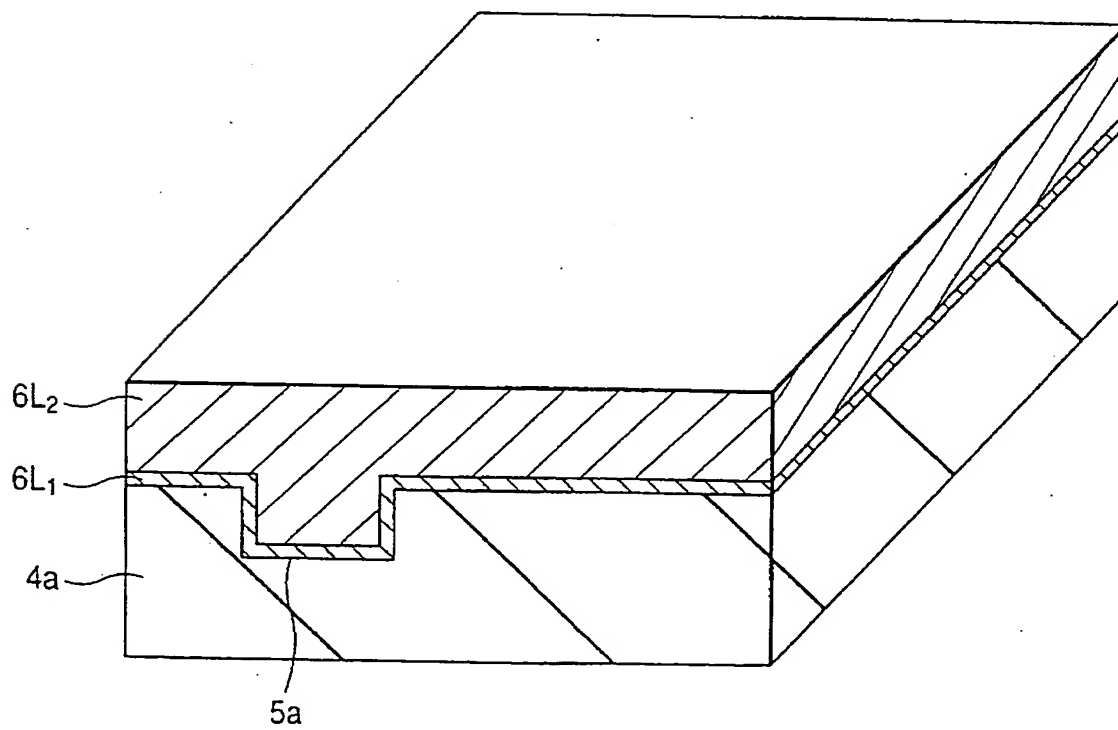
第11圖



第12圖

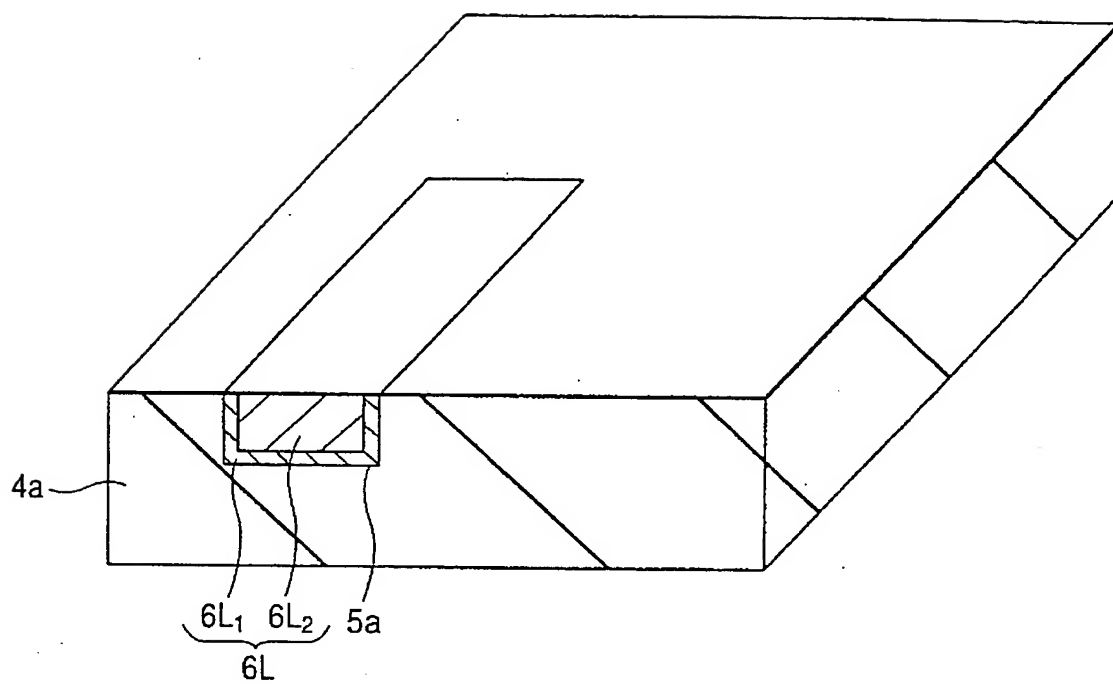


第 13 圖

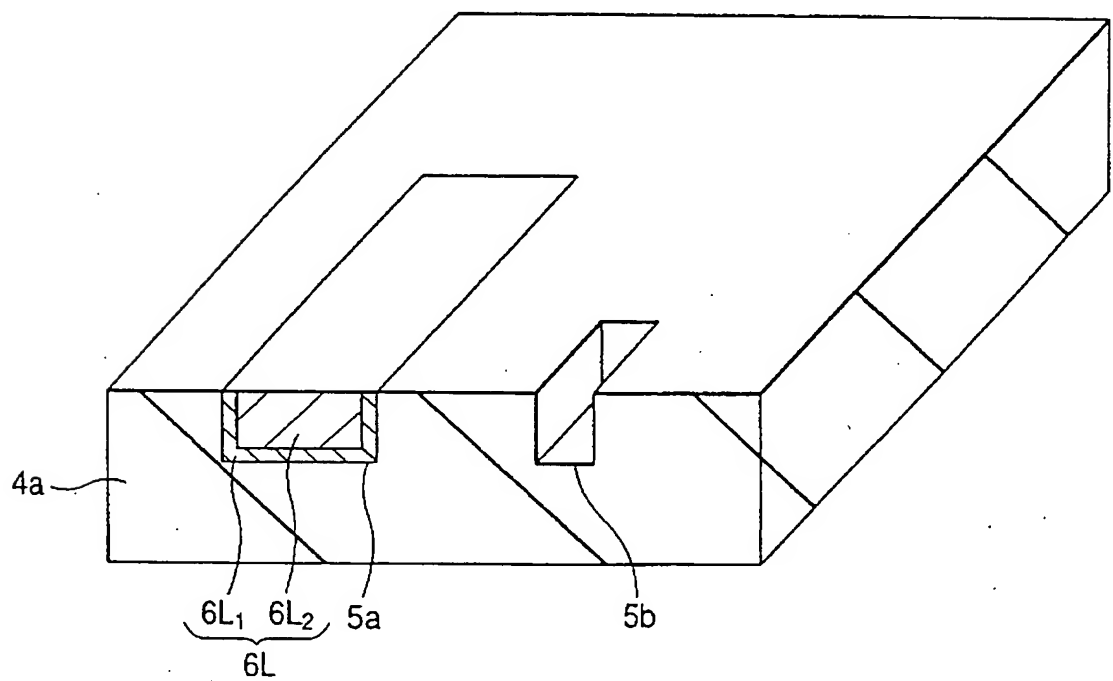


第 14 圖

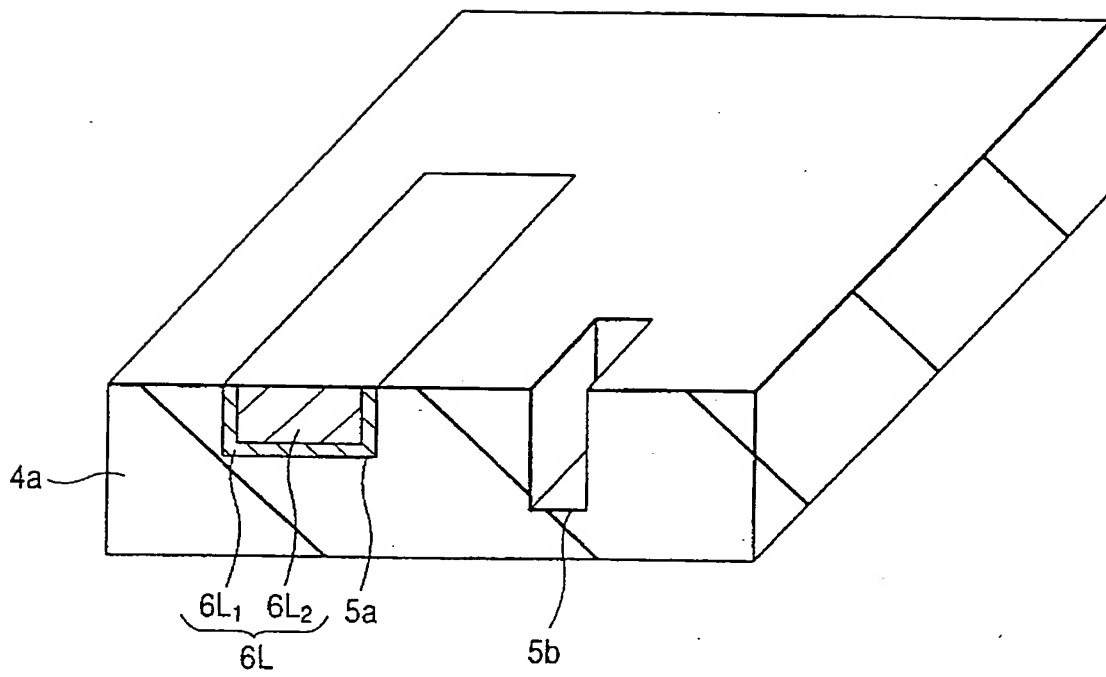




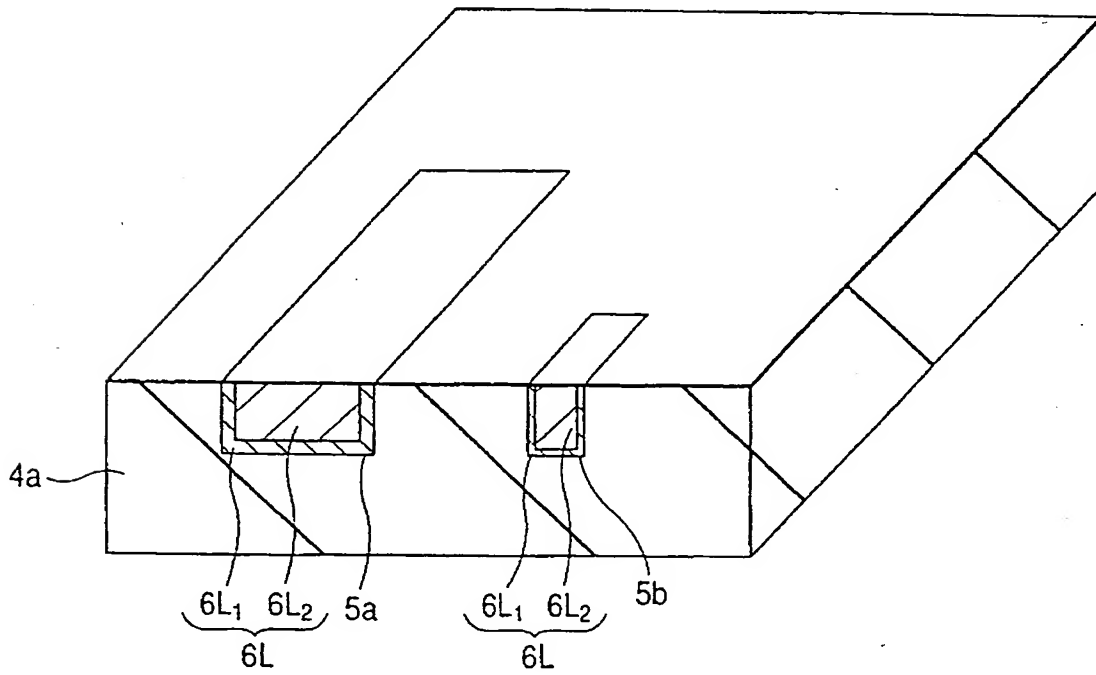
第 15 圖



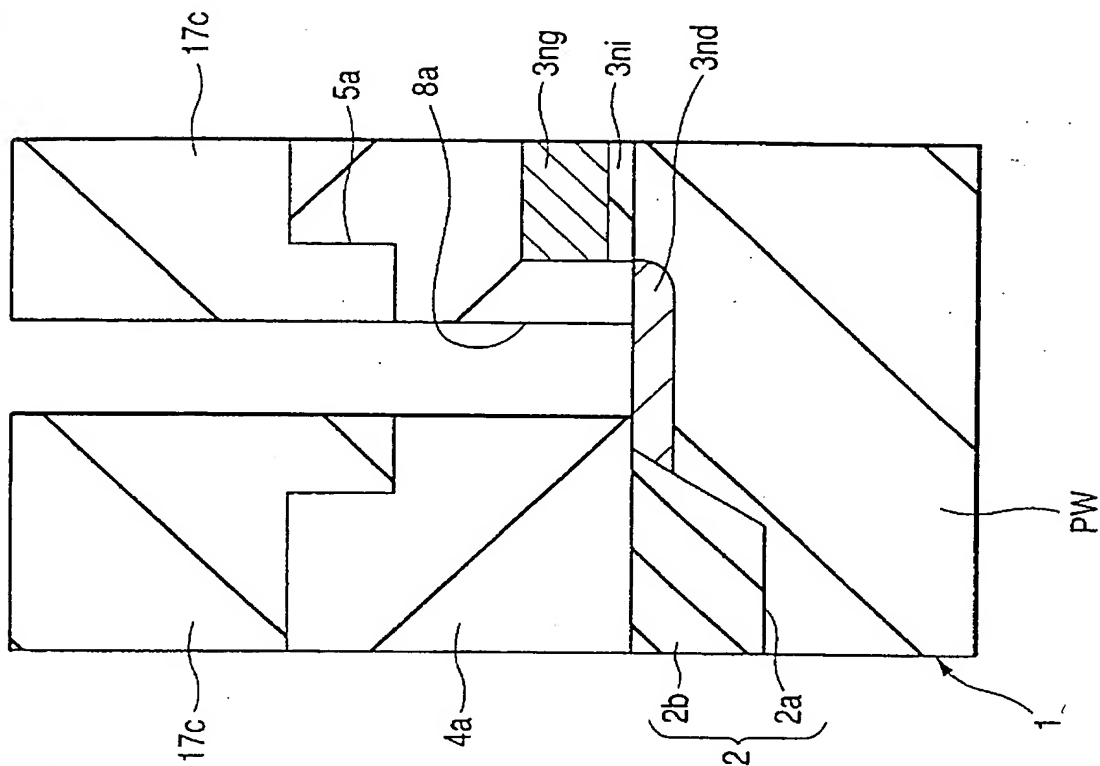
第 16 圖



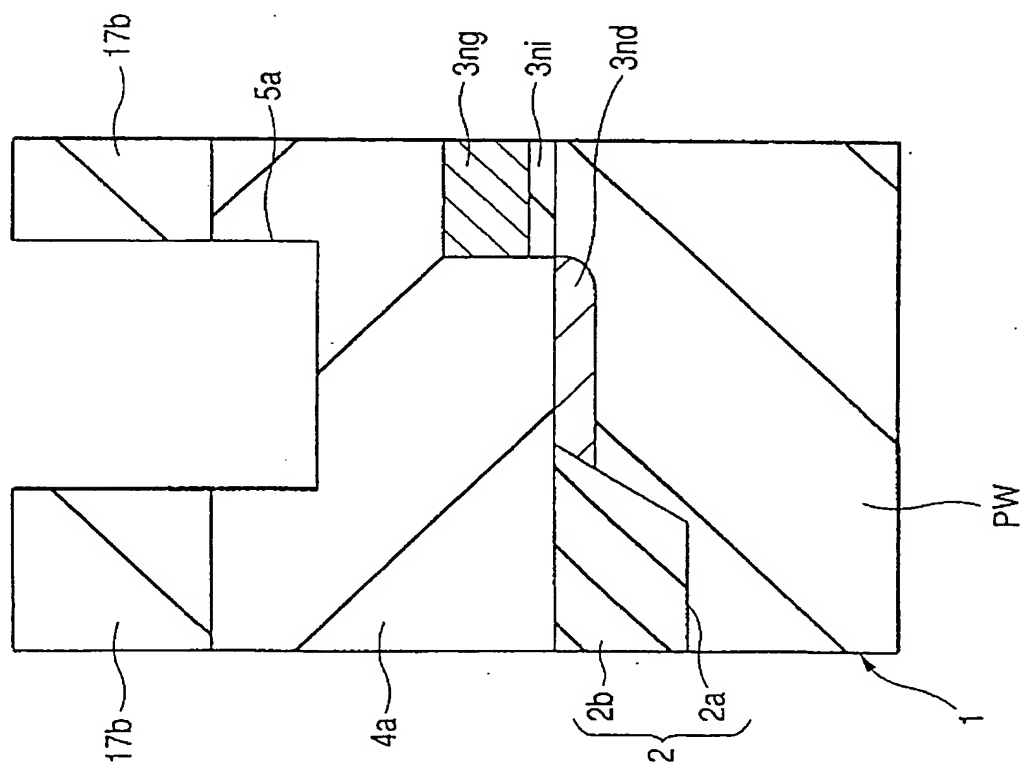
第 17 圖



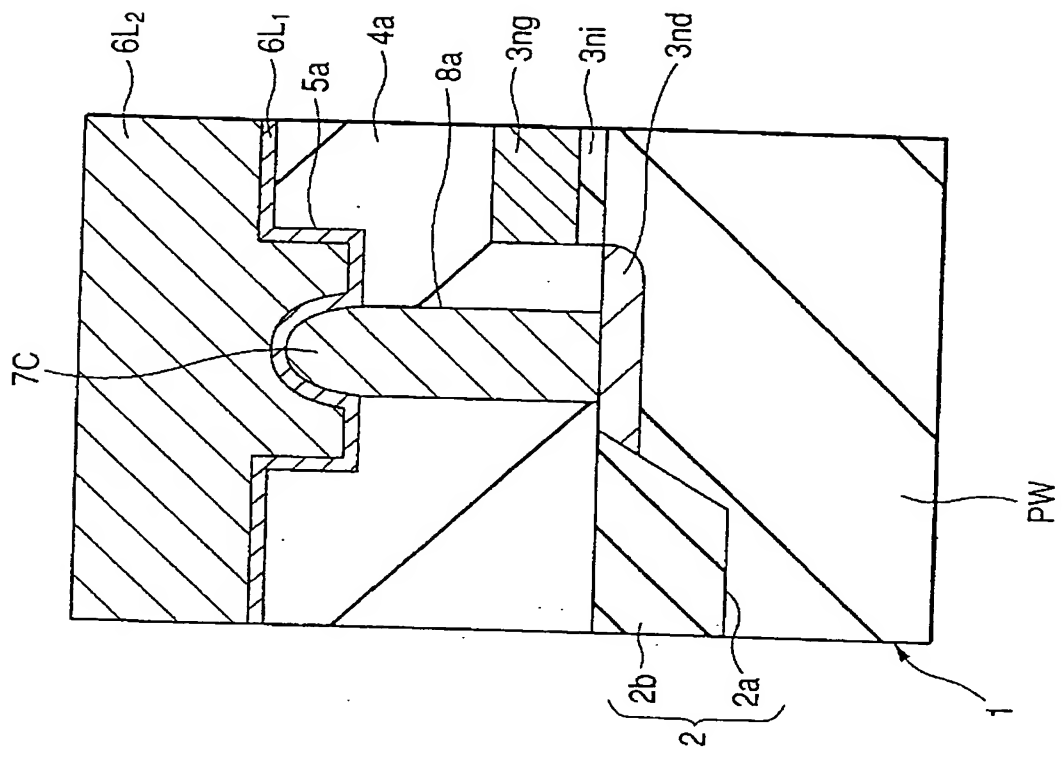
第 18 圖



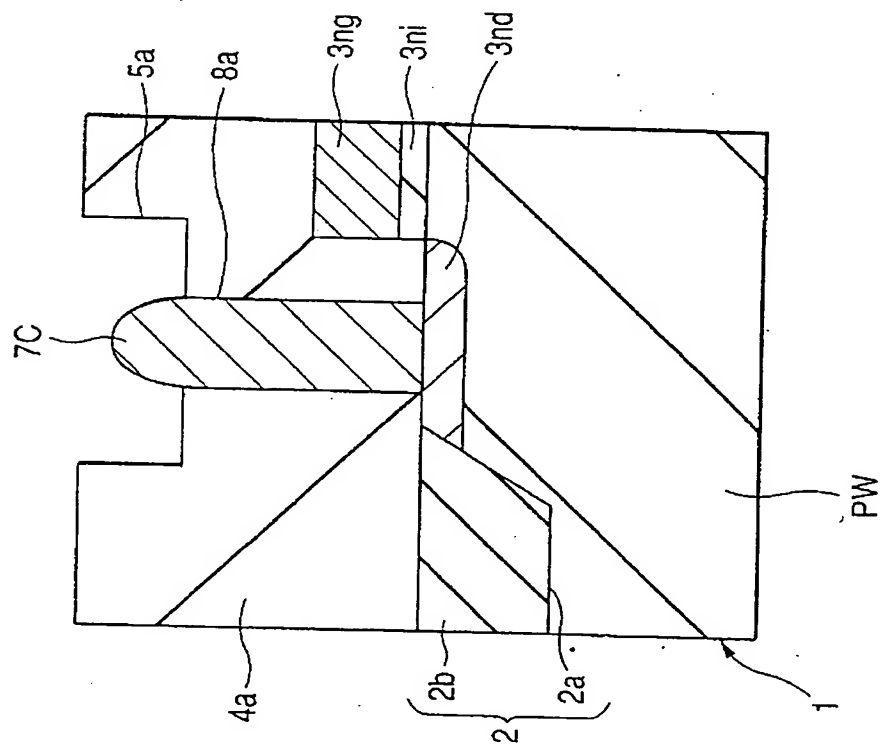
第 20 圖



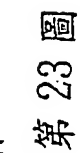
第 19 圖

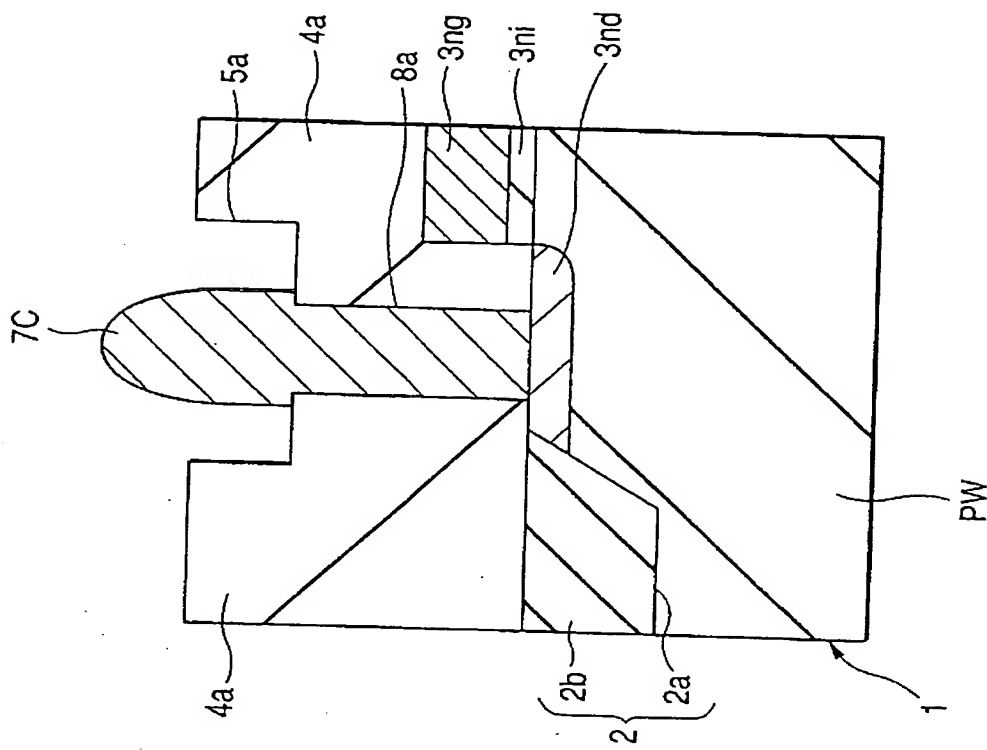


第 22 圖

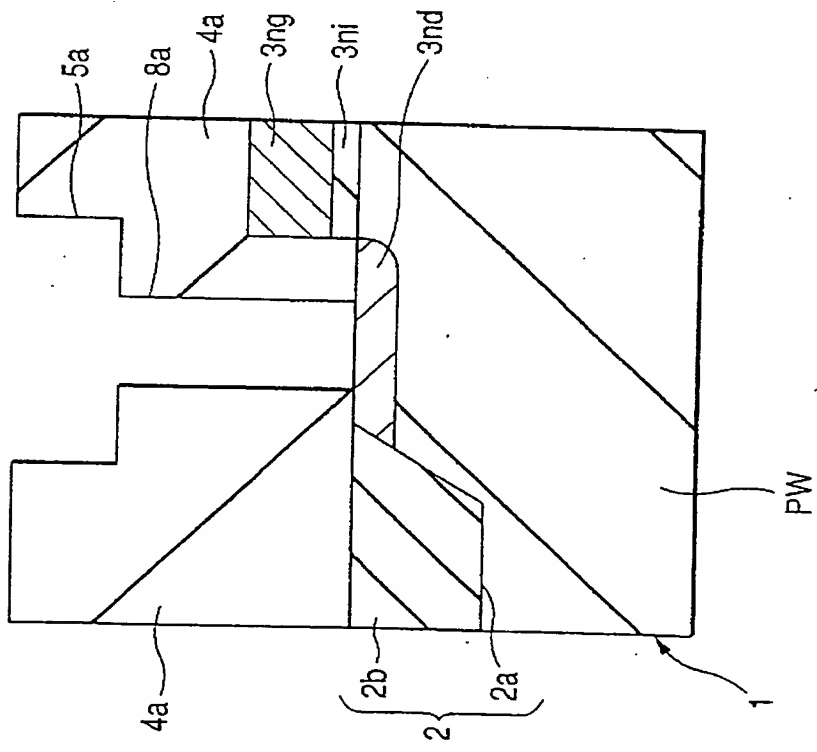


第 21 圖

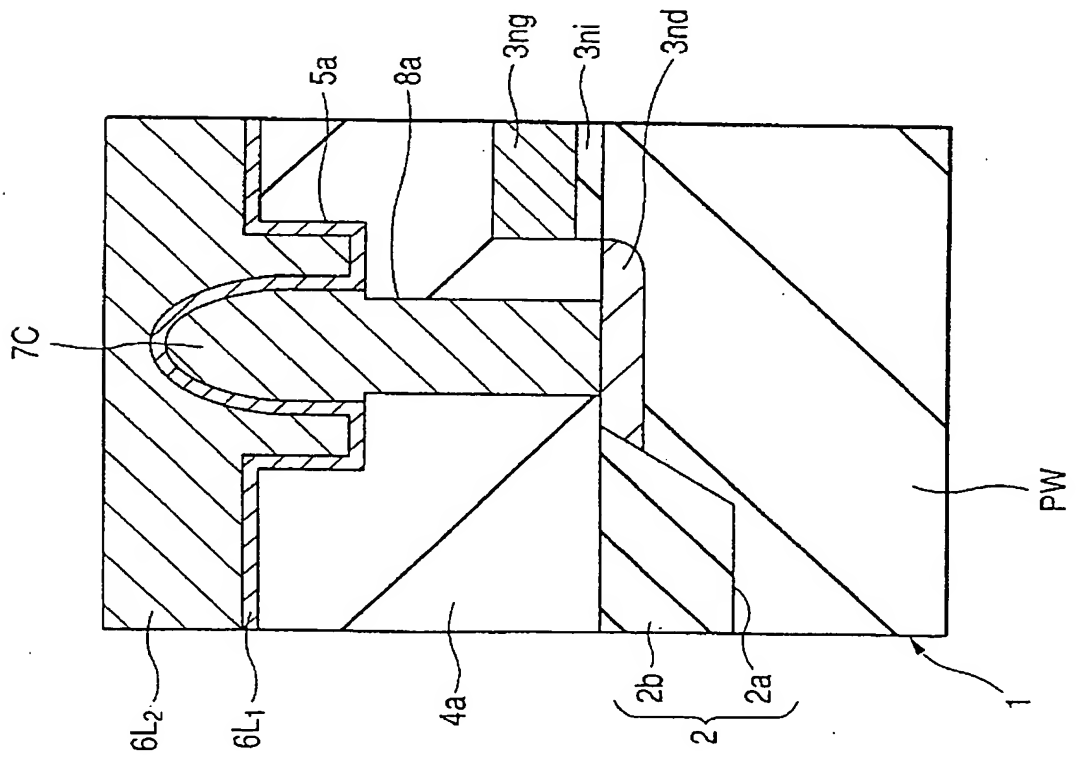




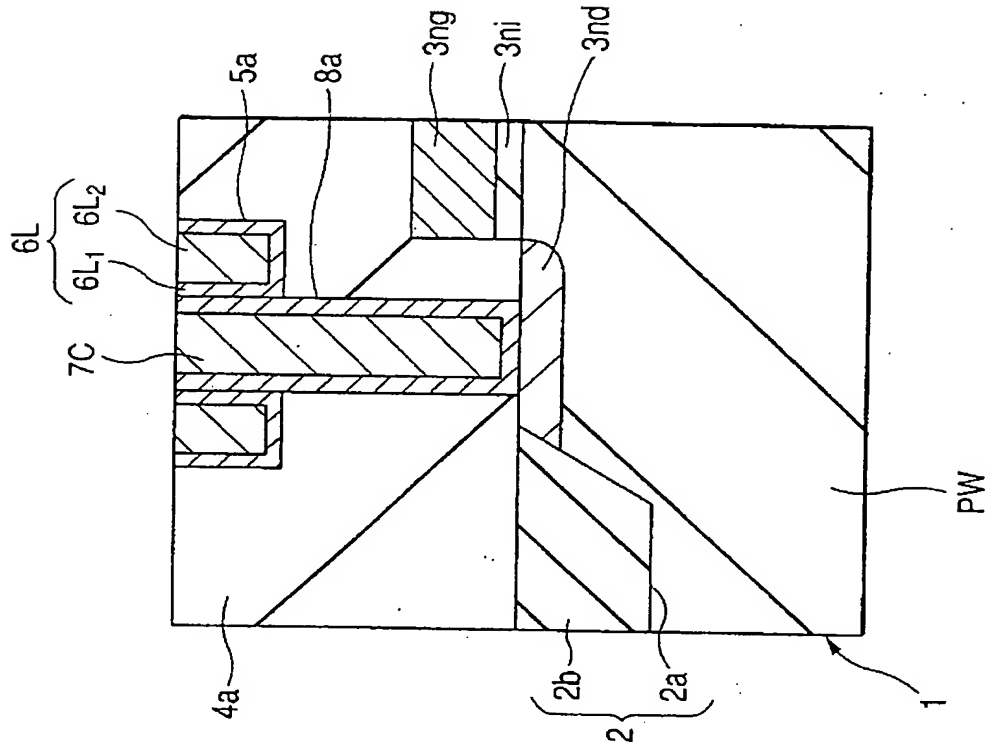
第 25 圖



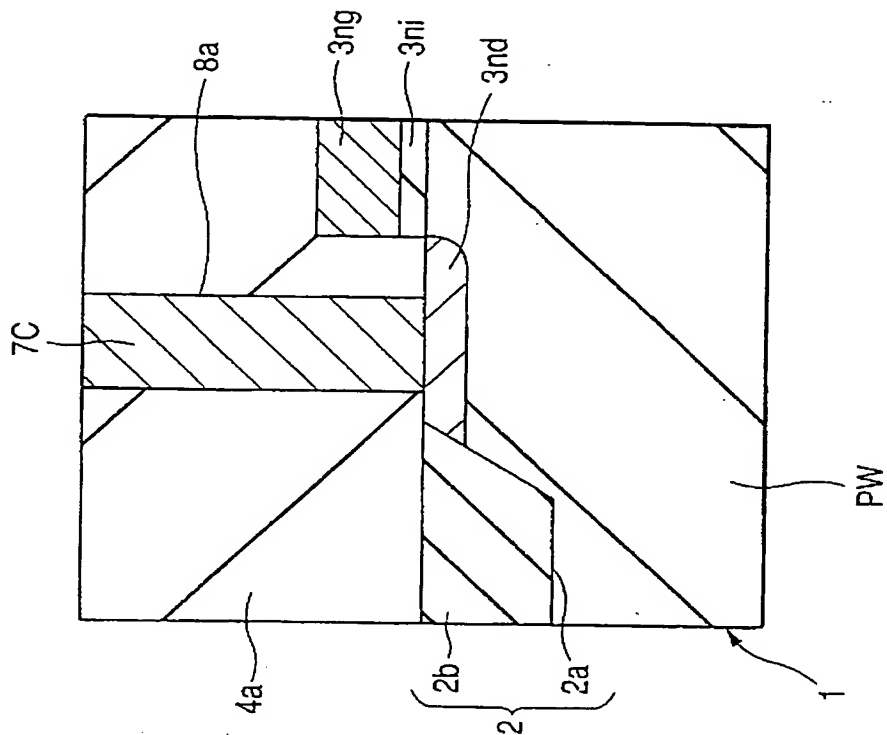
第 26 圖



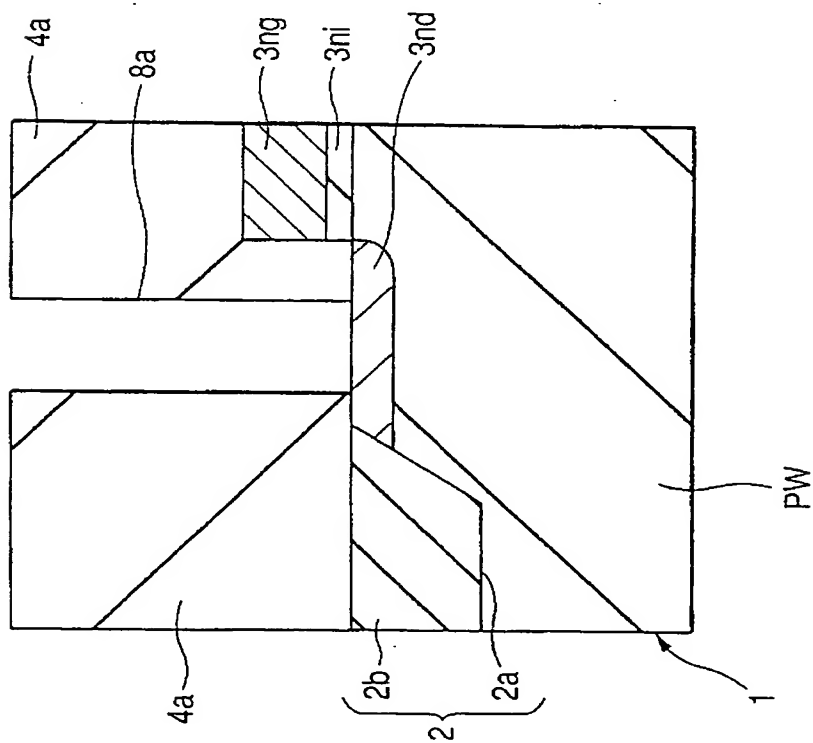
第 27 圖



第 28 圖

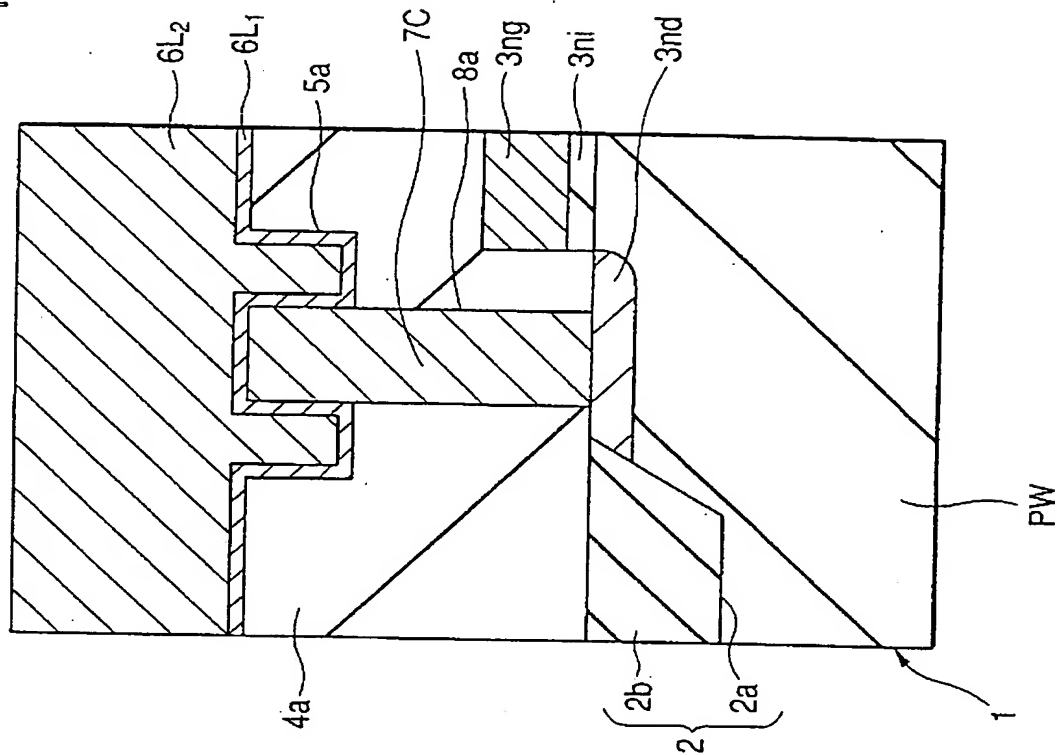


第 30 圖

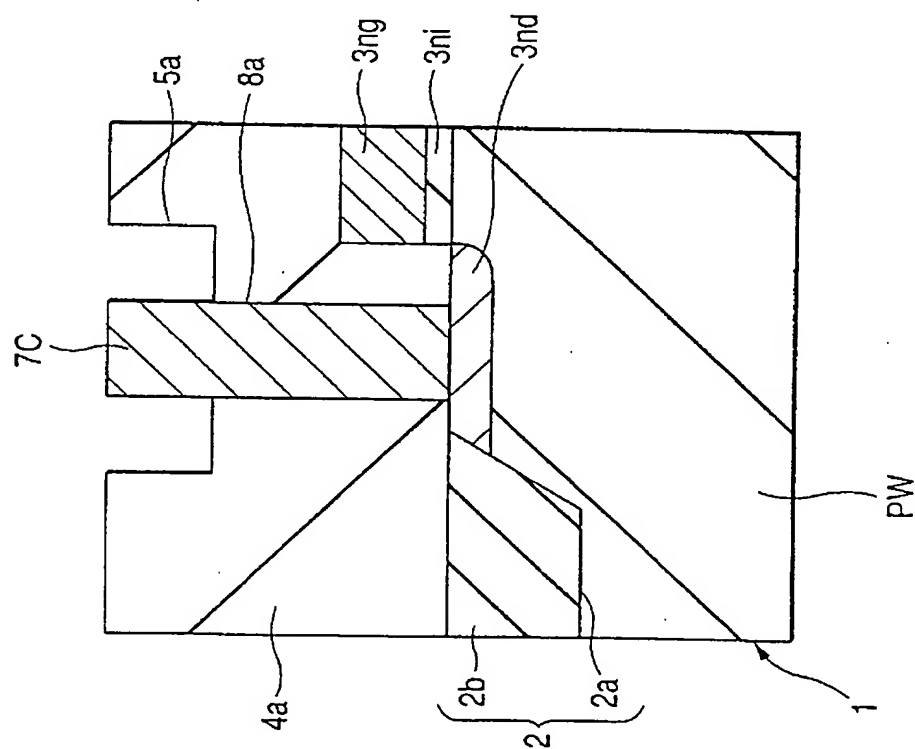


第 29 圖

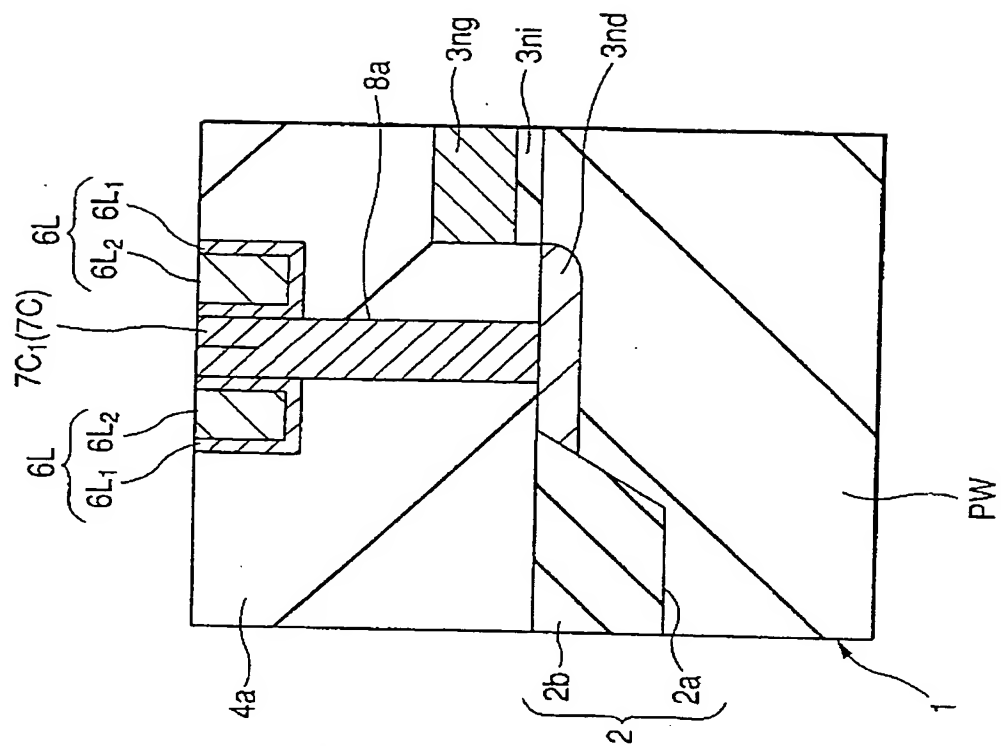




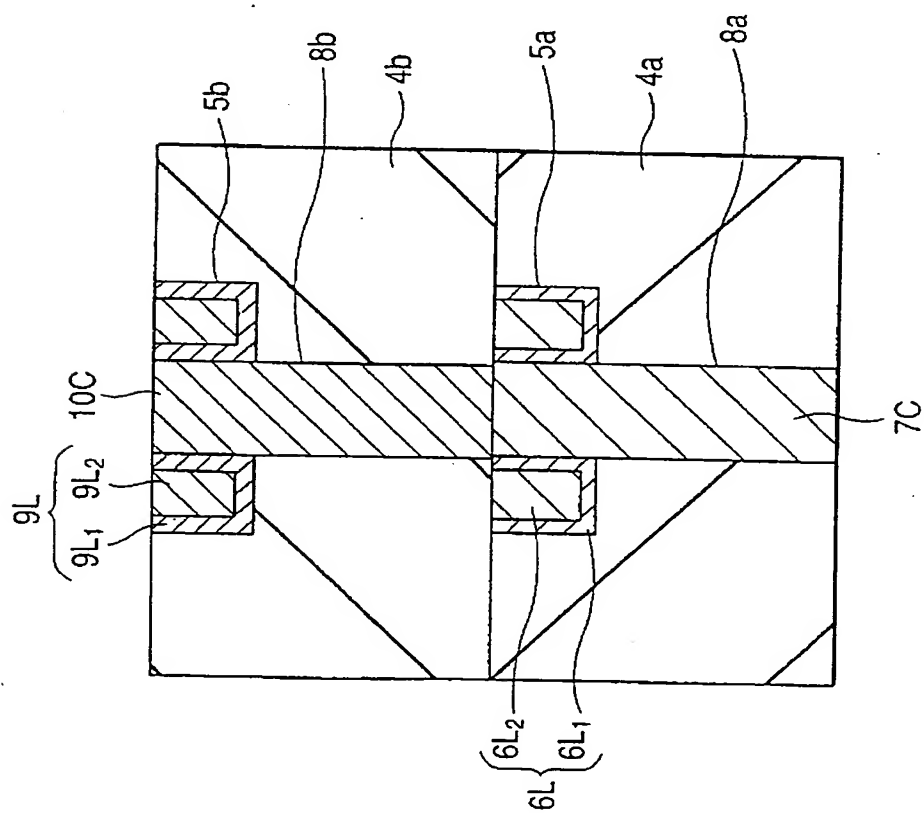
第 32 圖



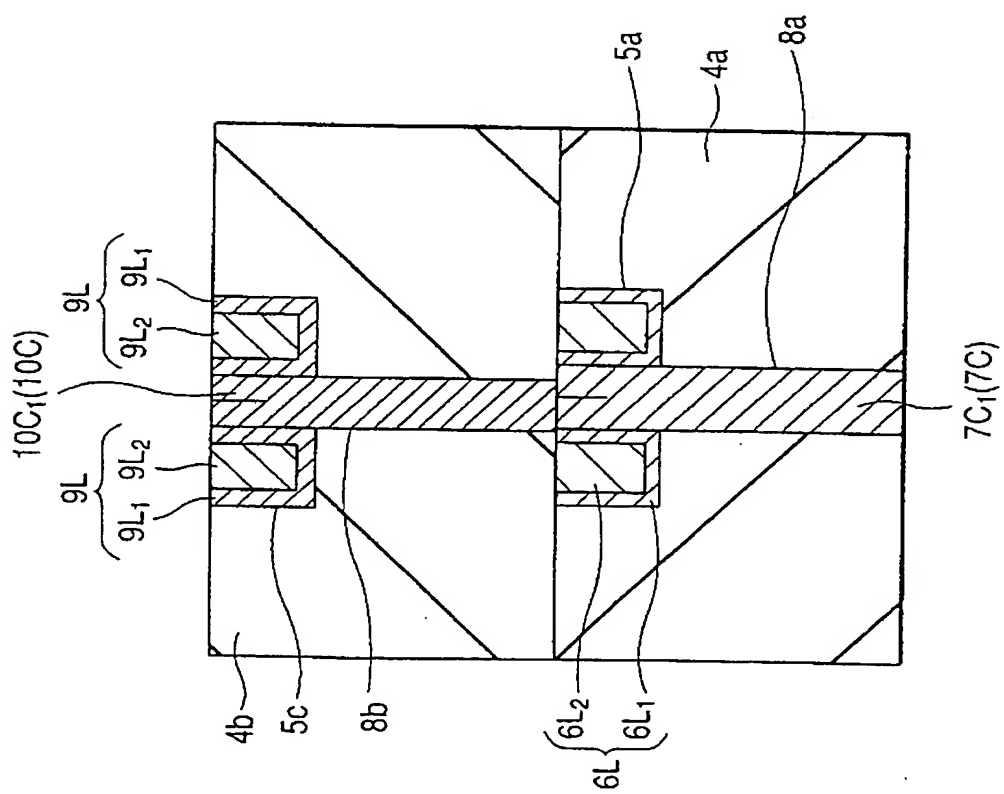
第 31 圖



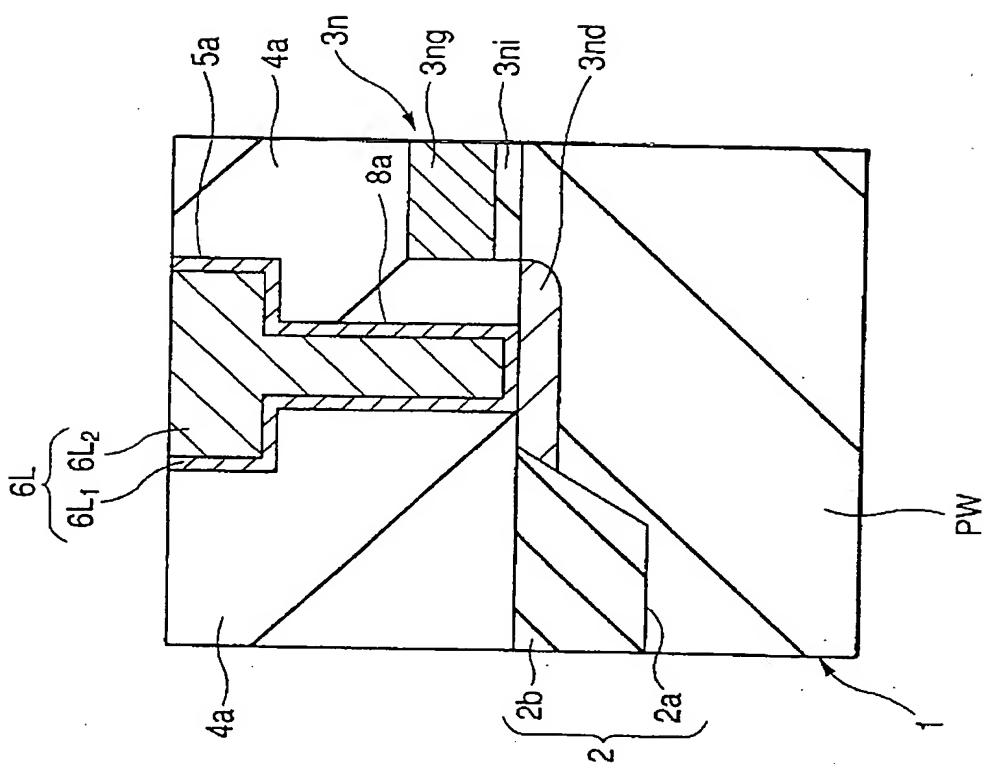
第34圖



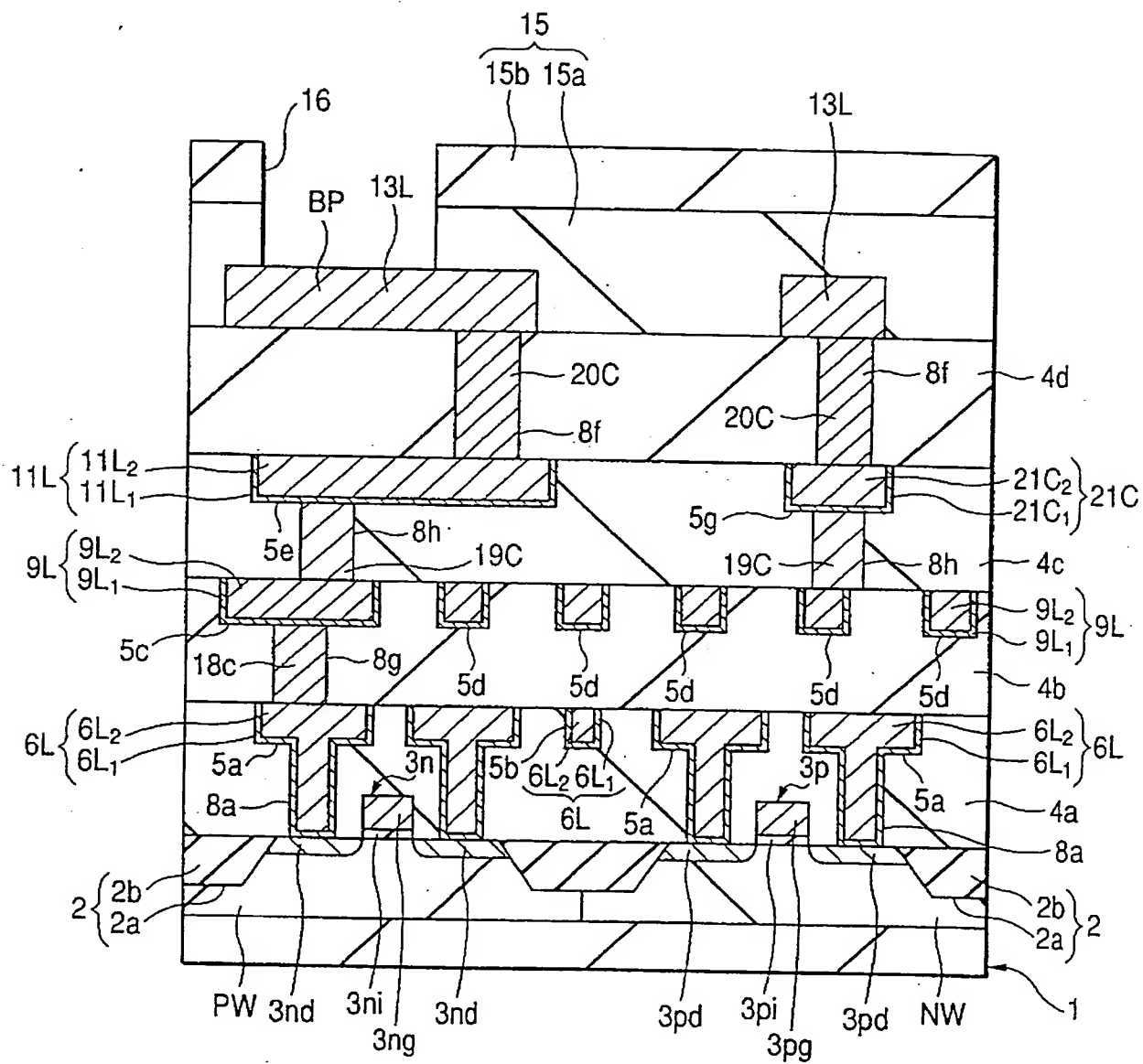
第 33 圖



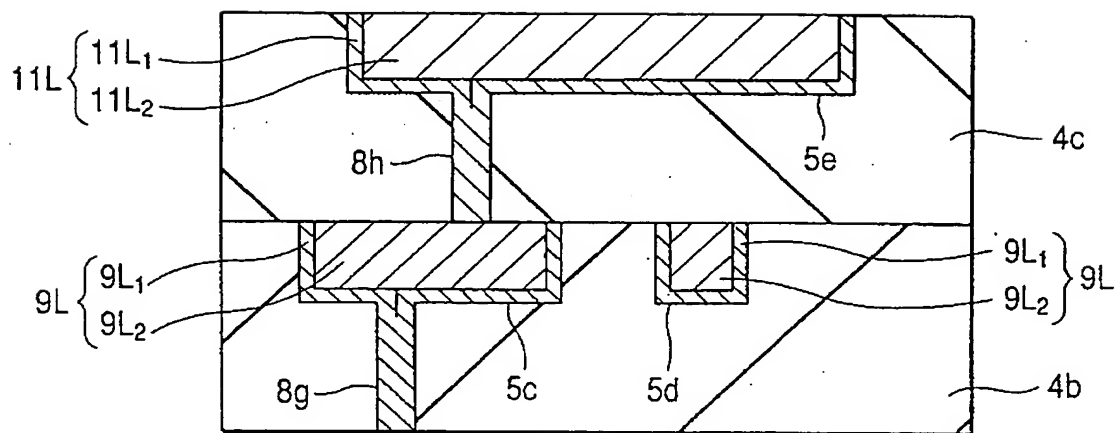
第 35 圖



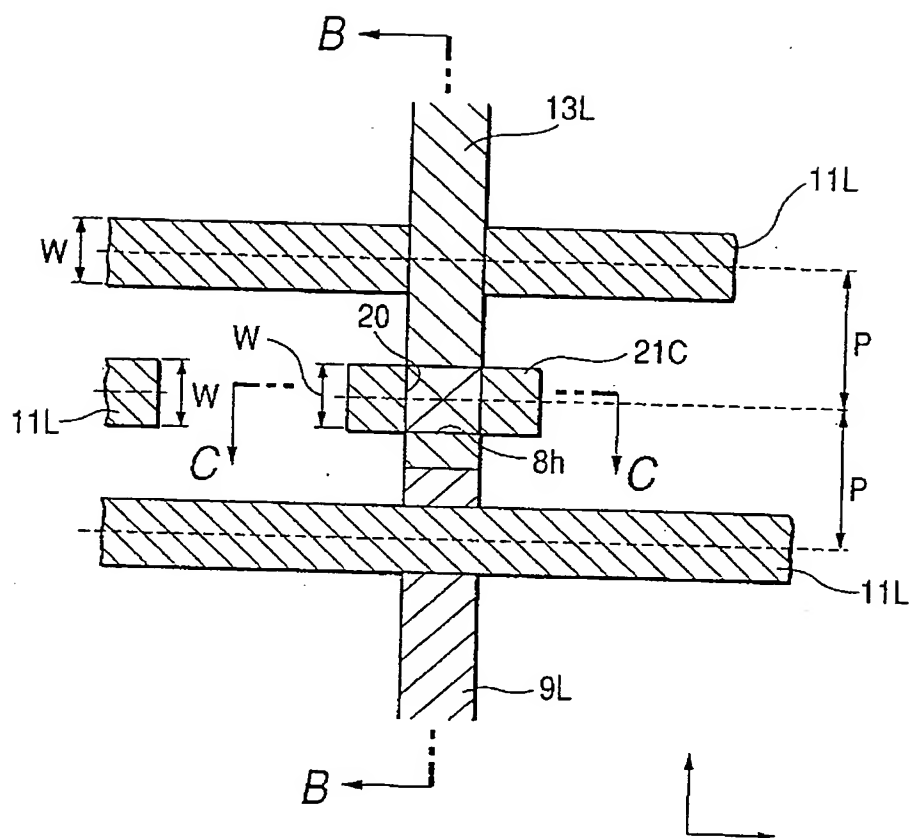
第 37 圖



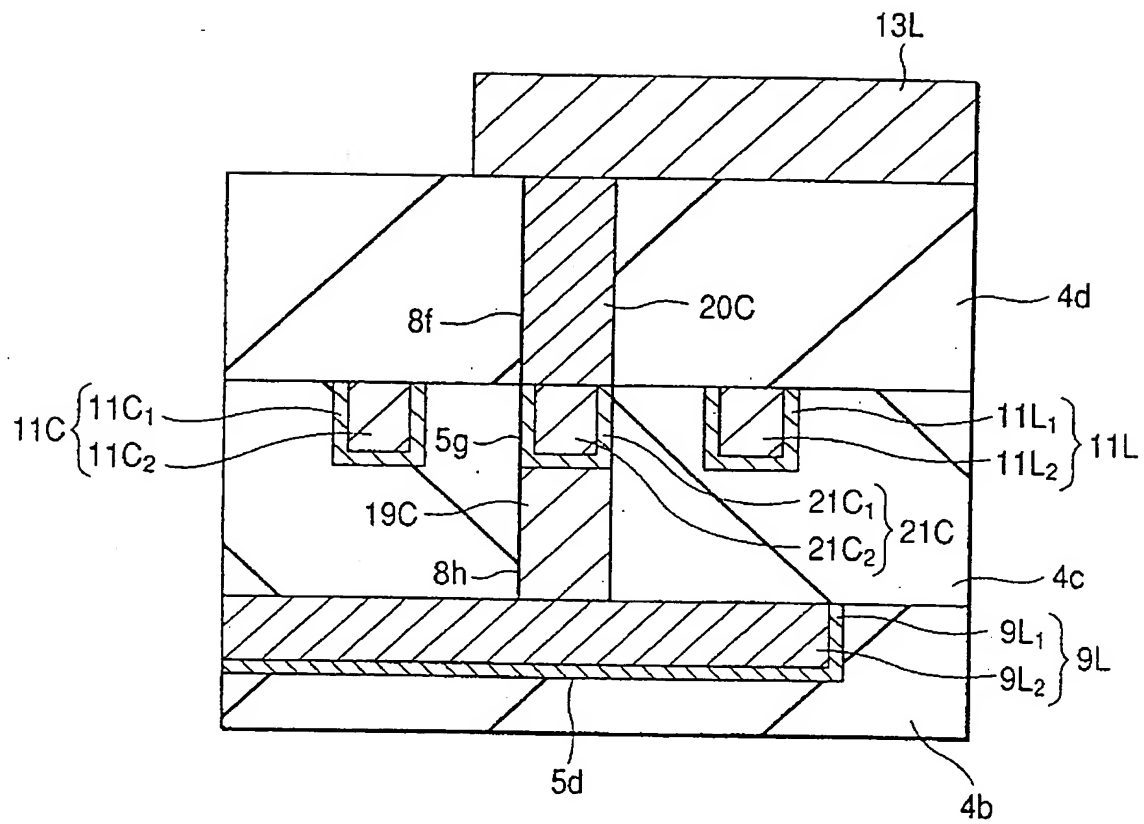
第 36 圖



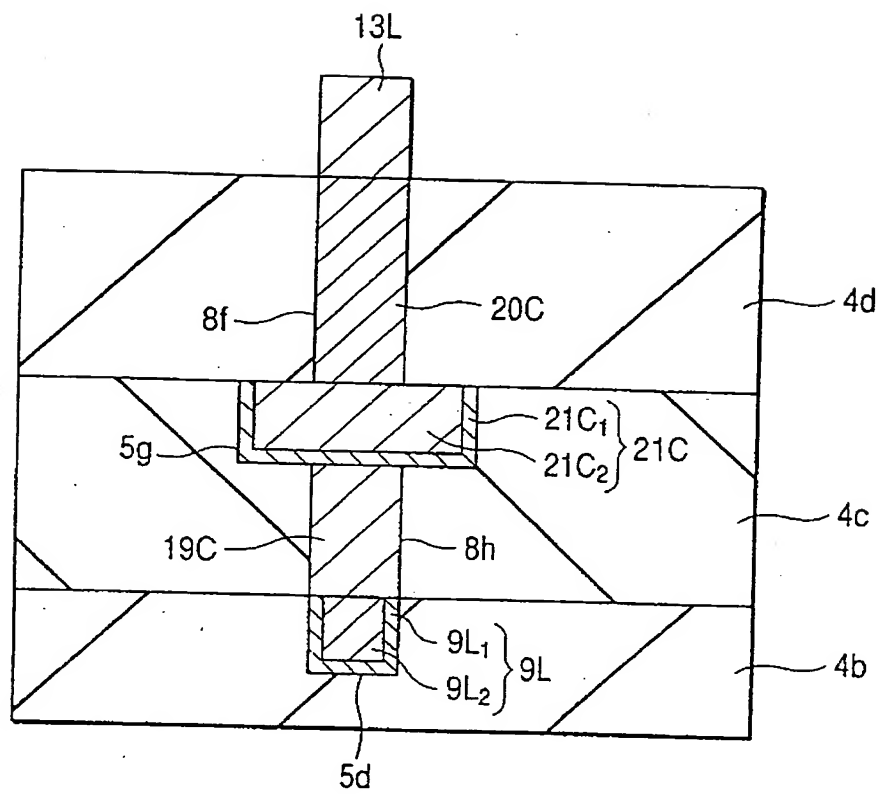
第 38 圖



第 39 圖 (A)

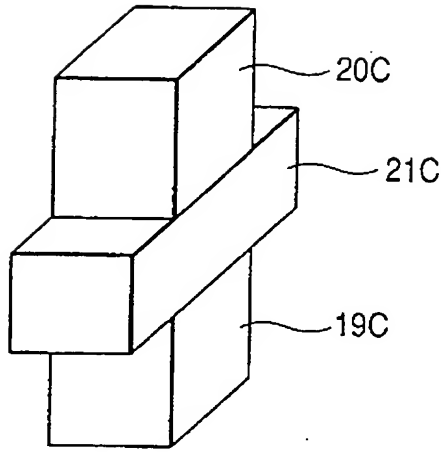


第 39 圖(B)

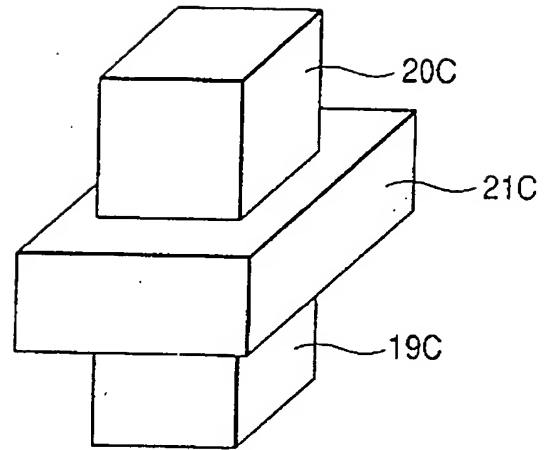


第 39 圖(C)

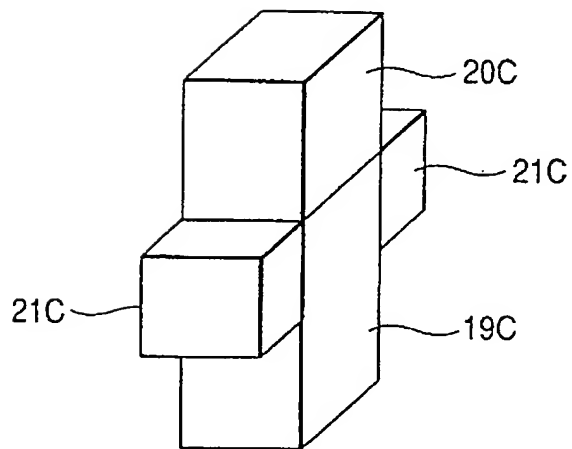




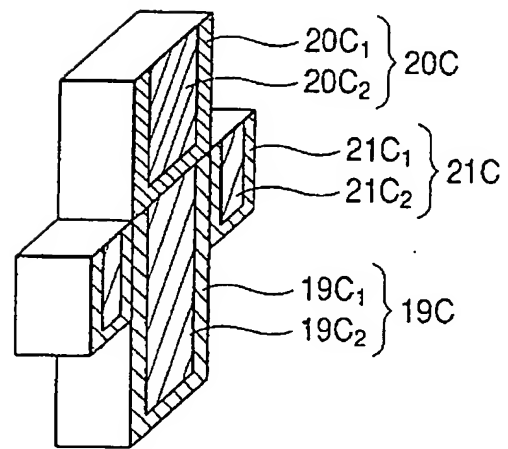
第 40 圖



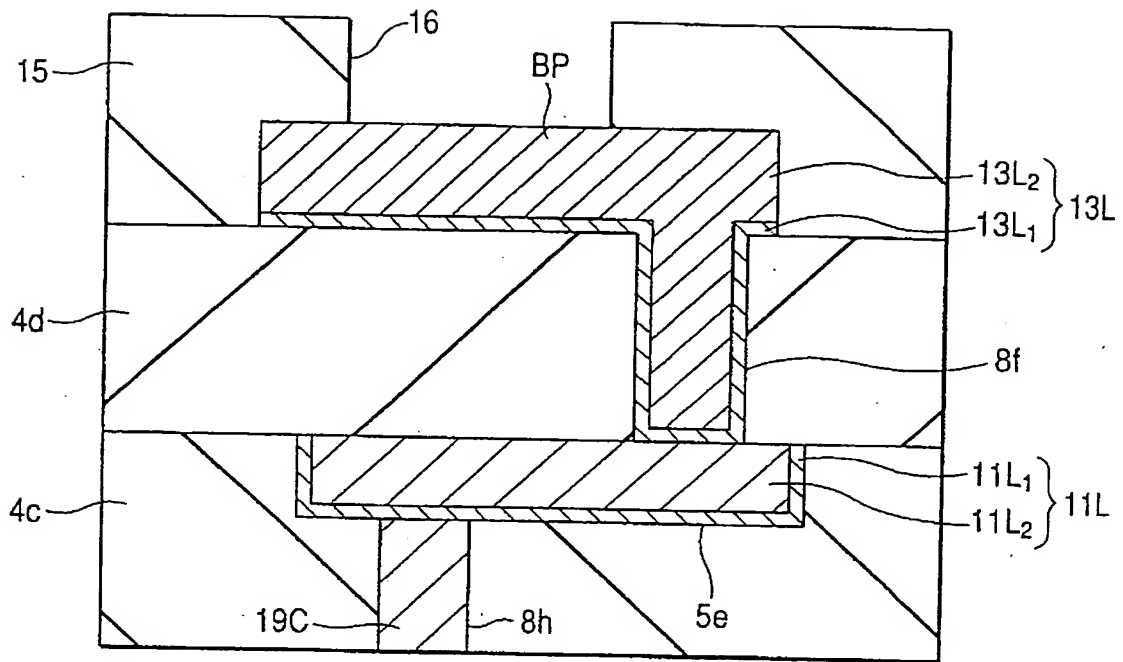
第 41 圖



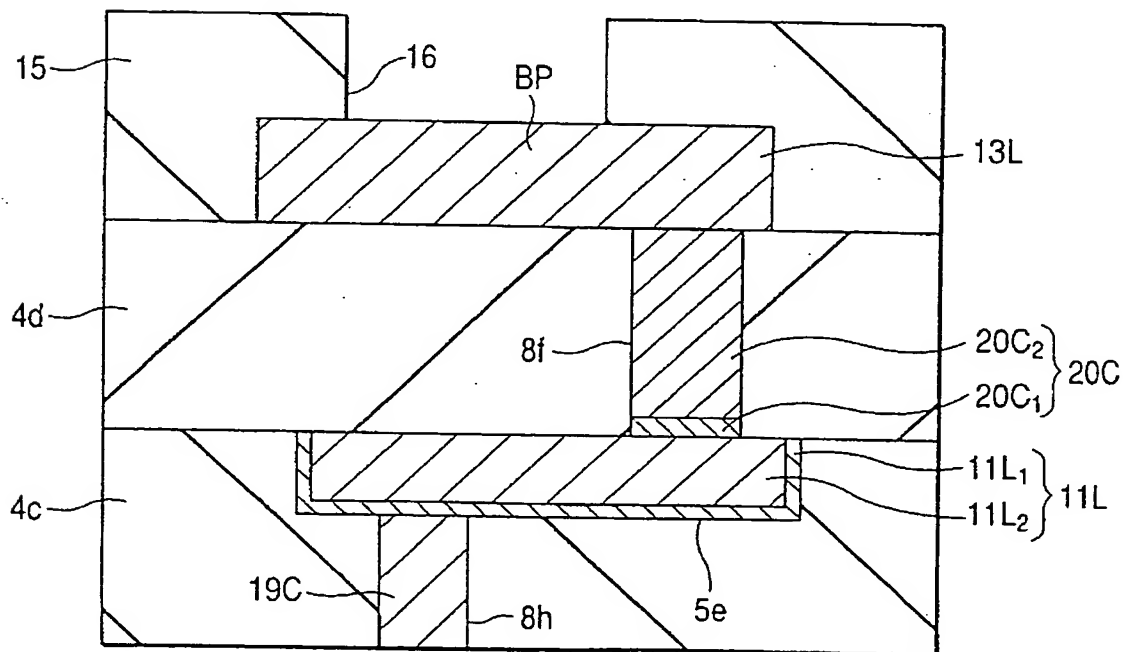
第 42 圖



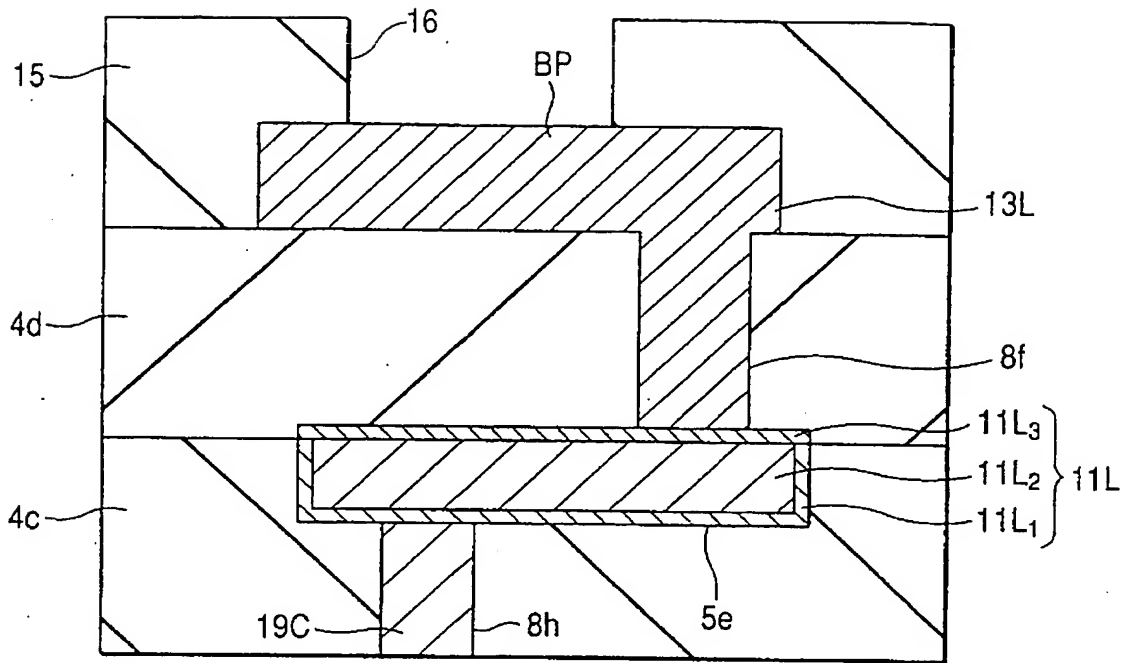
第 43 圖



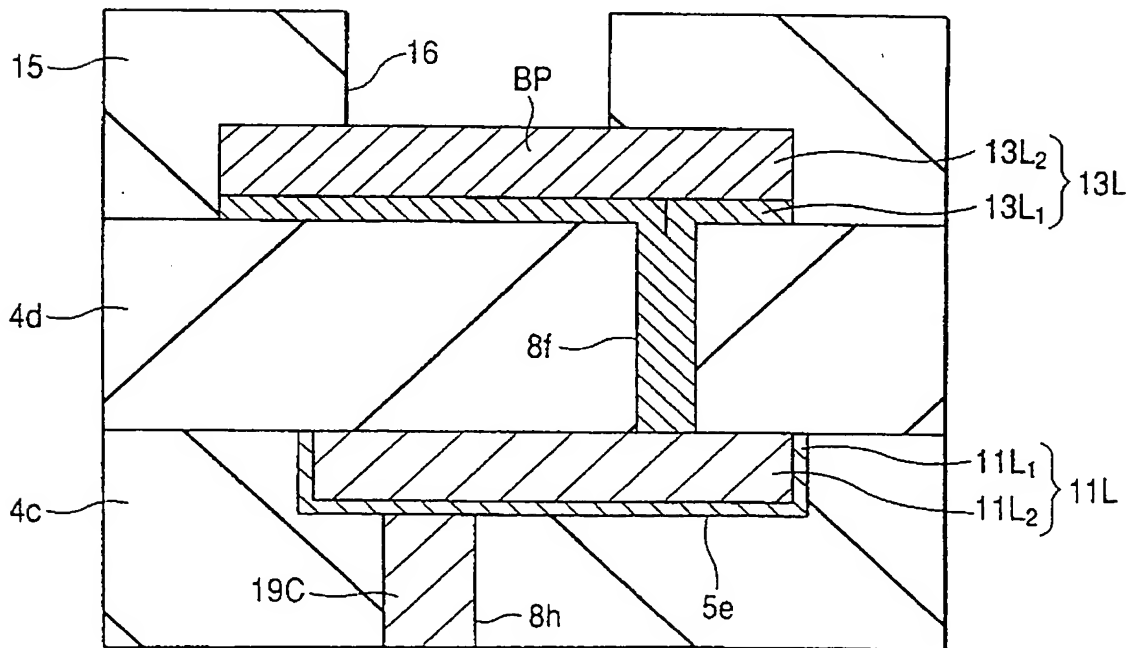
第 44 圖



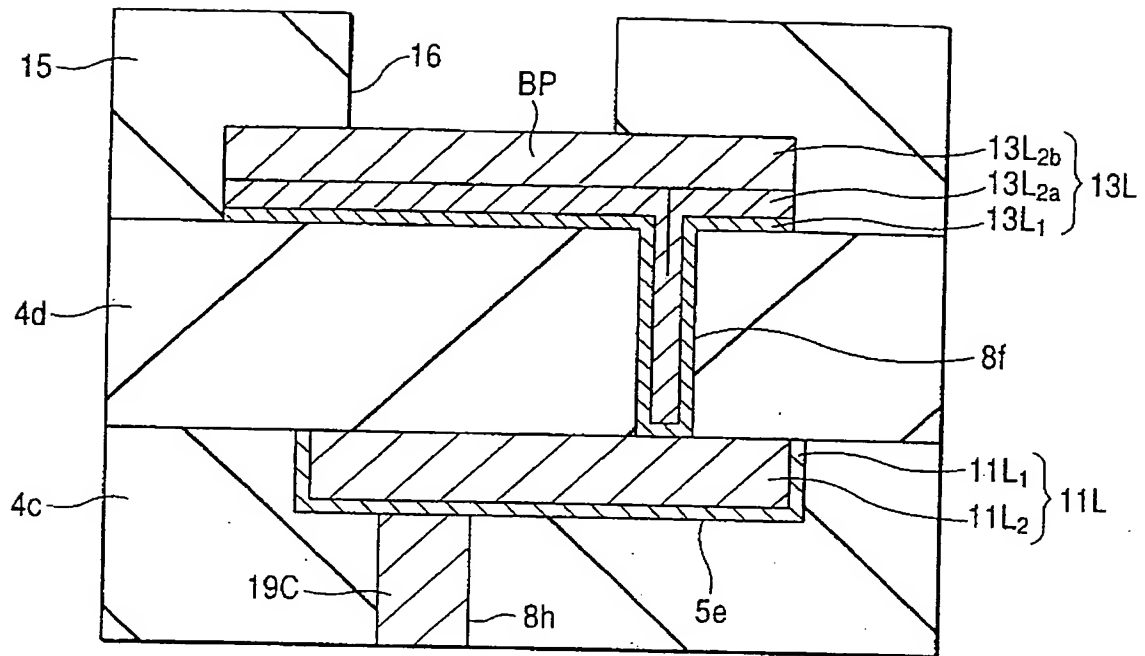
第 45 圖



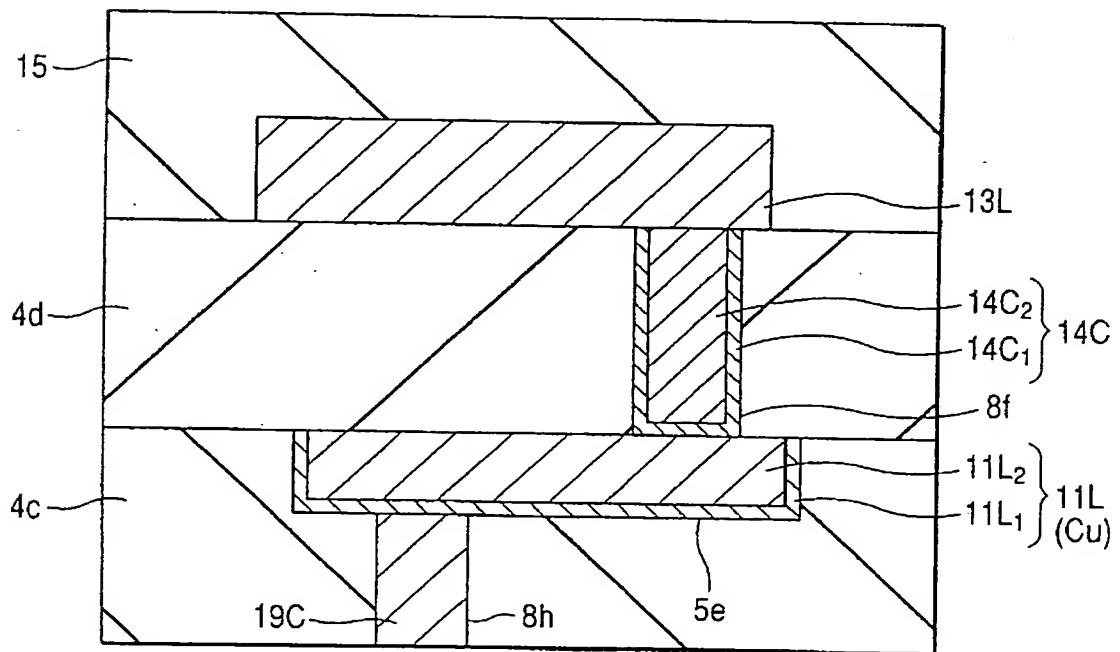
第 46 圖



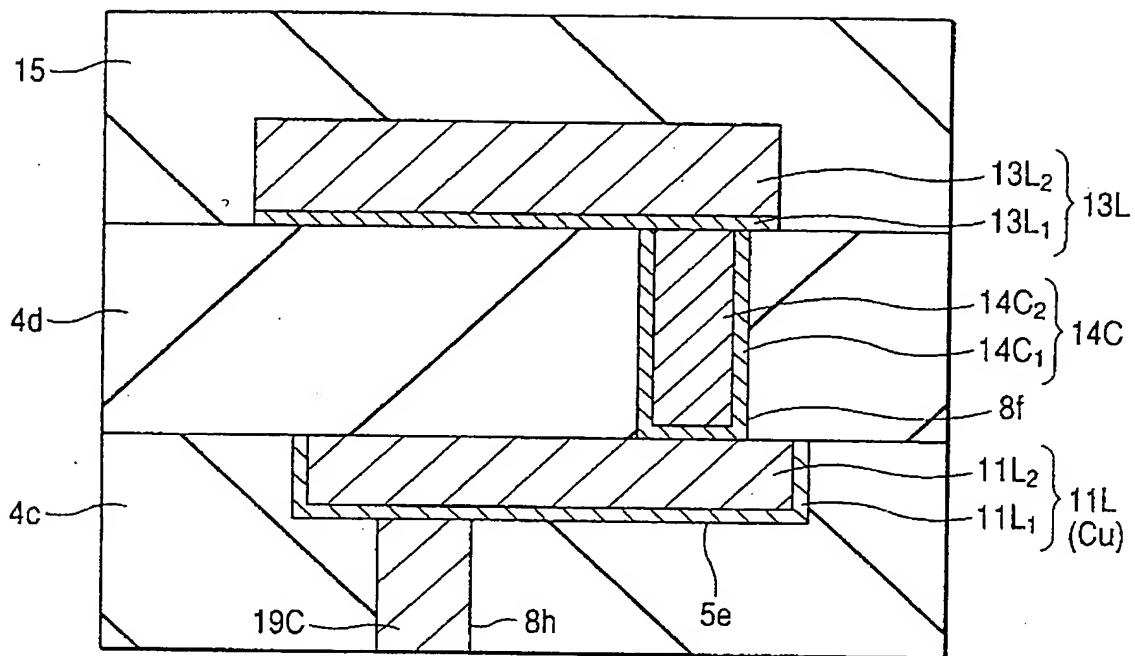
第 47 圖



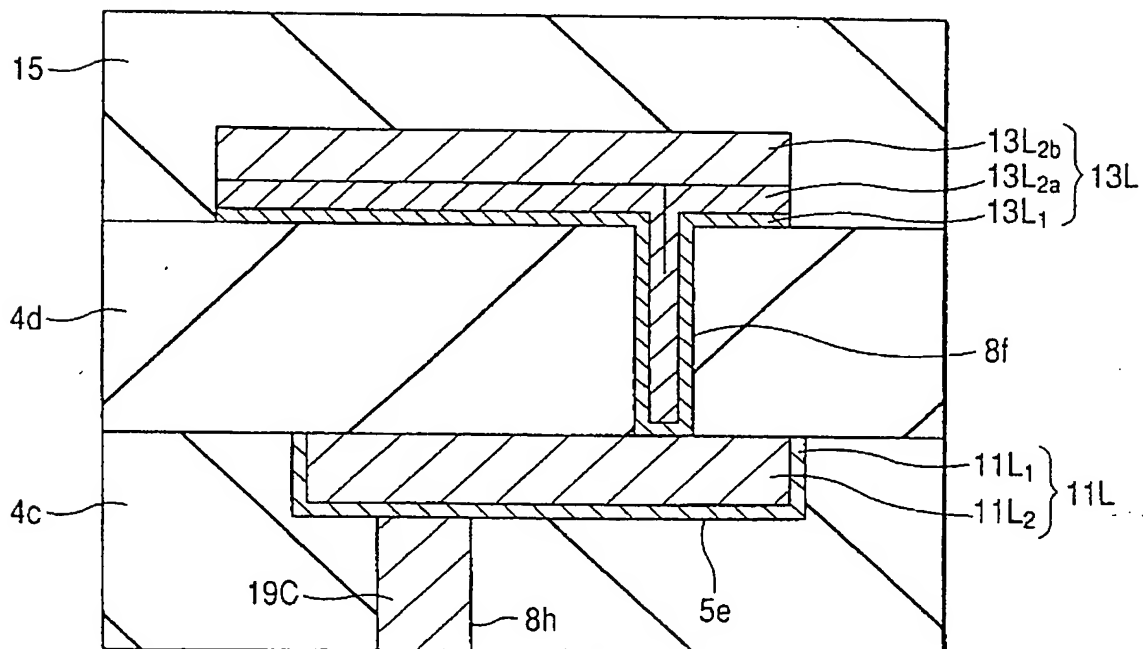
第 48 圖



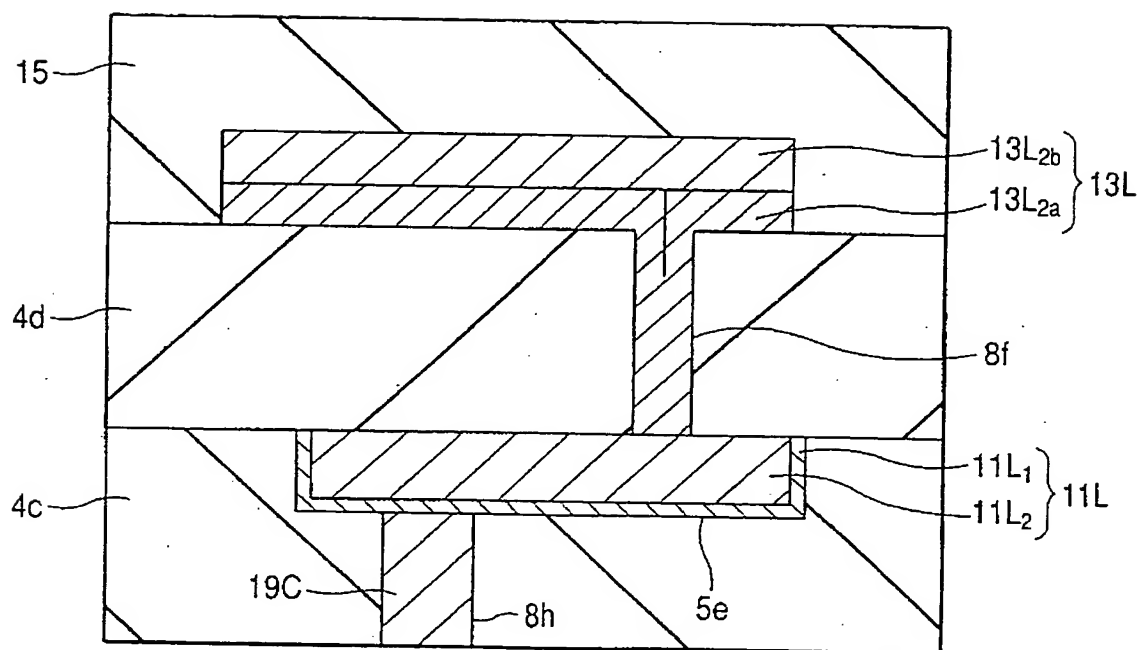
第 49 圖



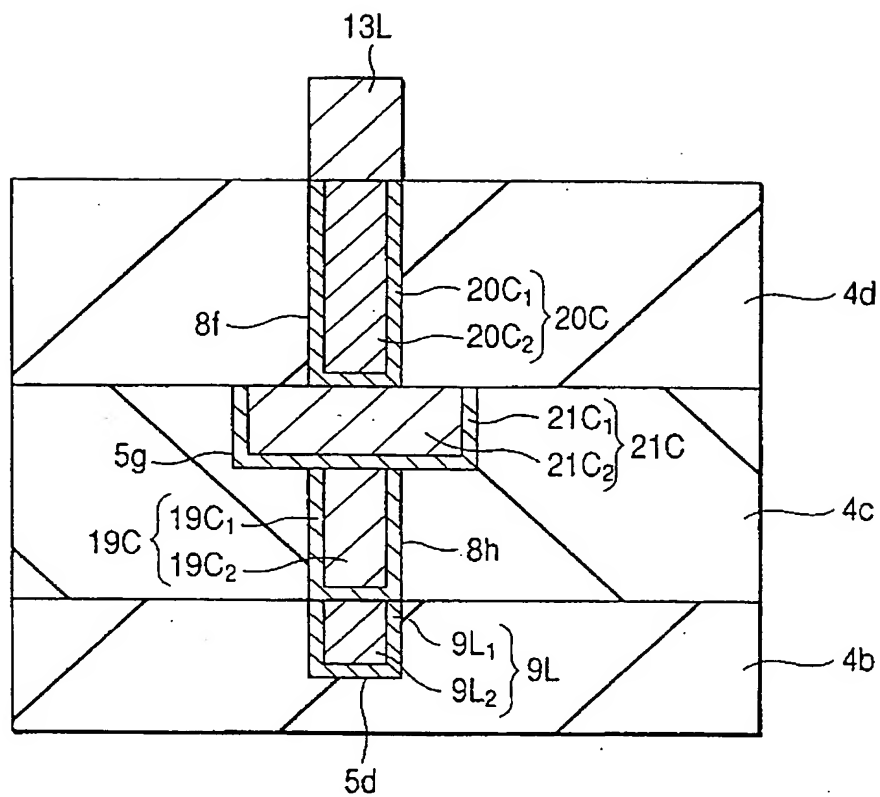
第 50 圖



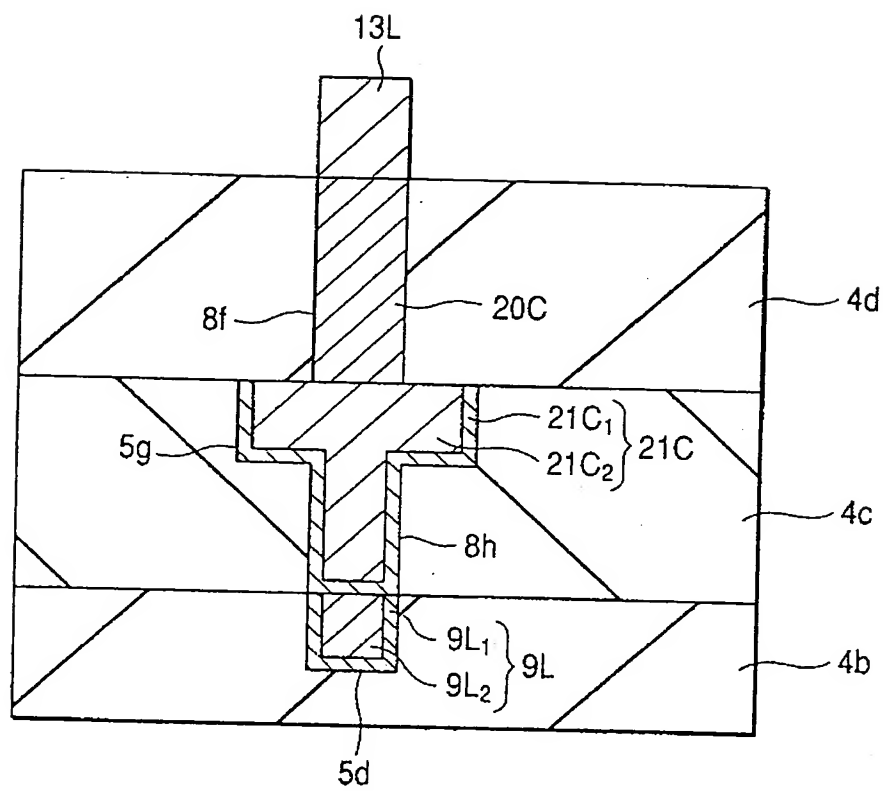
第 51 圖



第 52 圖

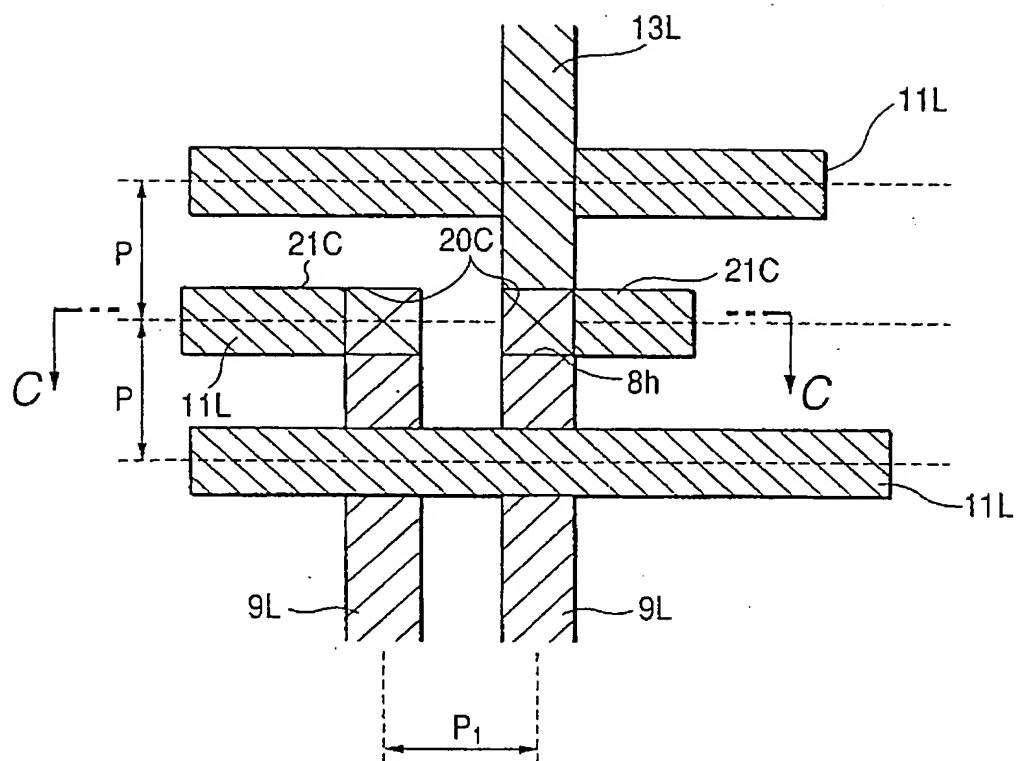


第 53 圖

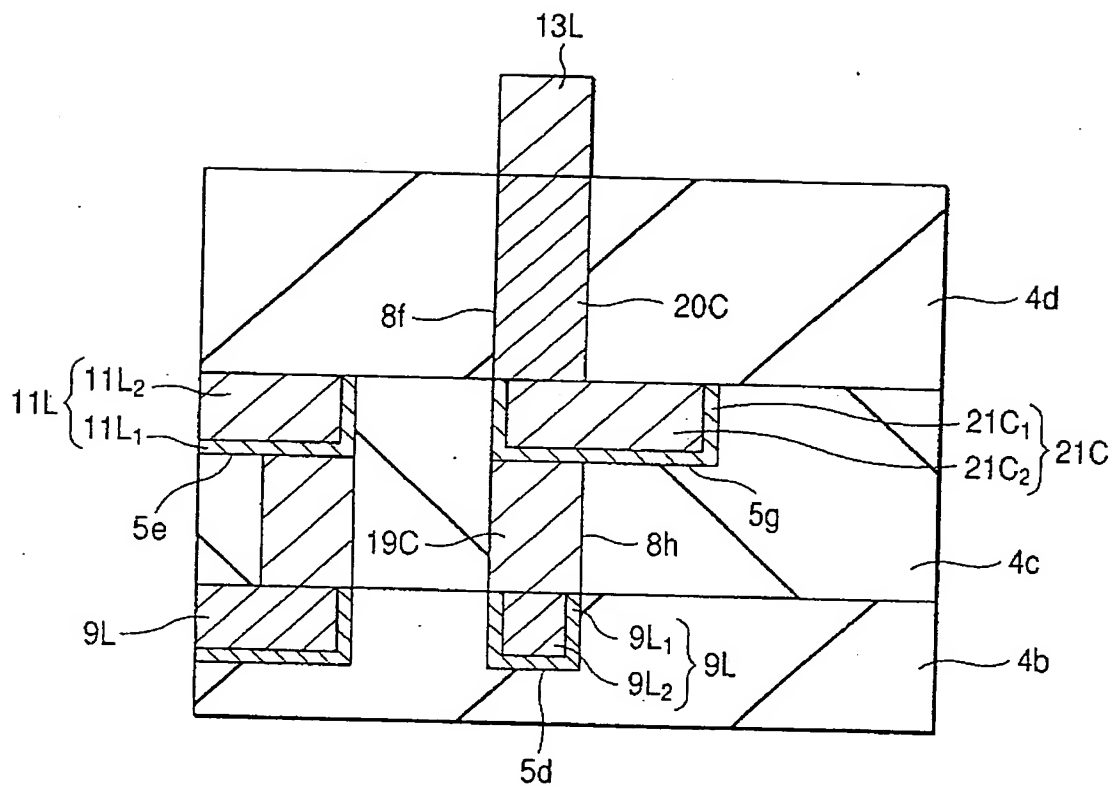


第 54 圖



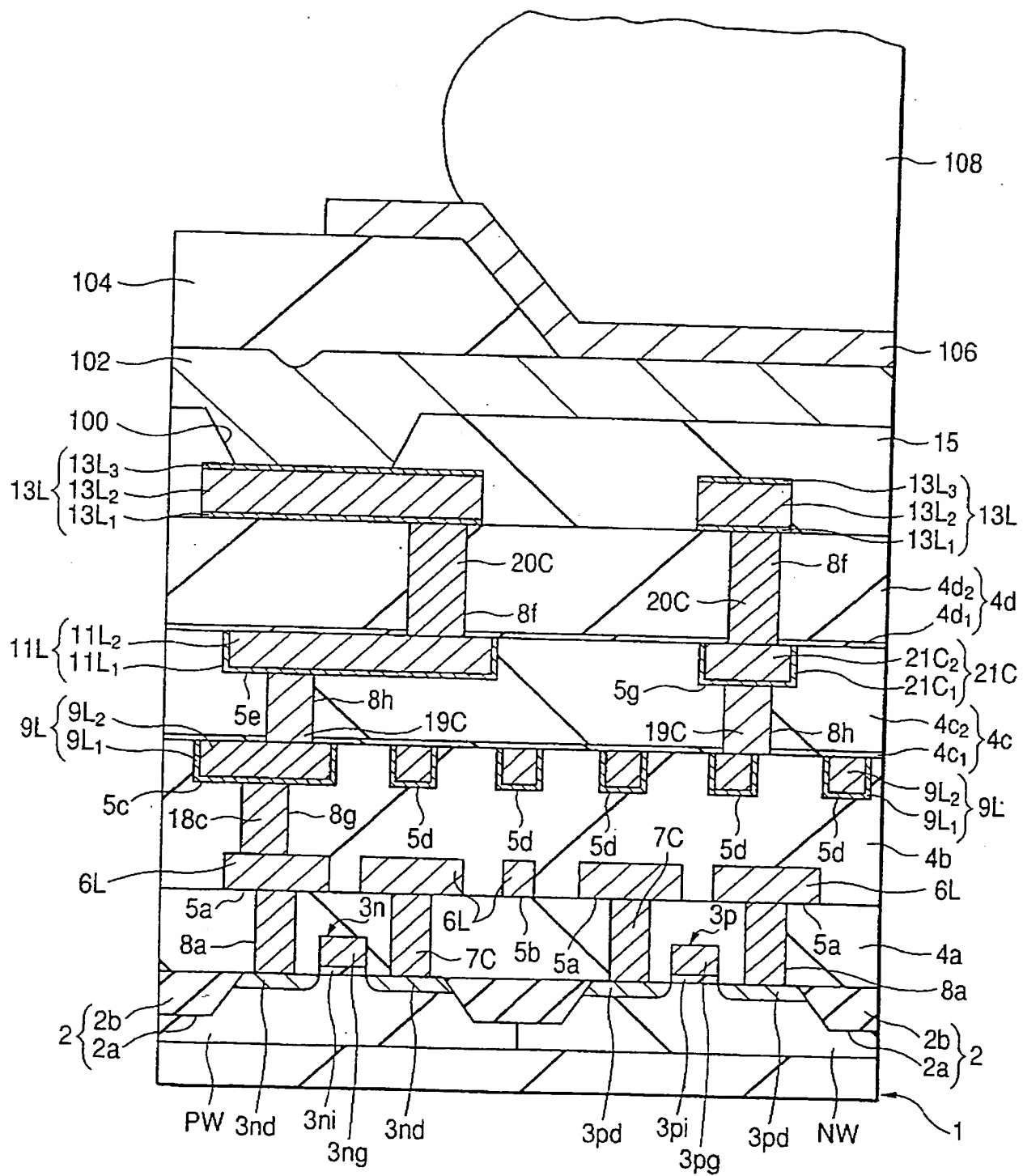


第 55 圖(A)

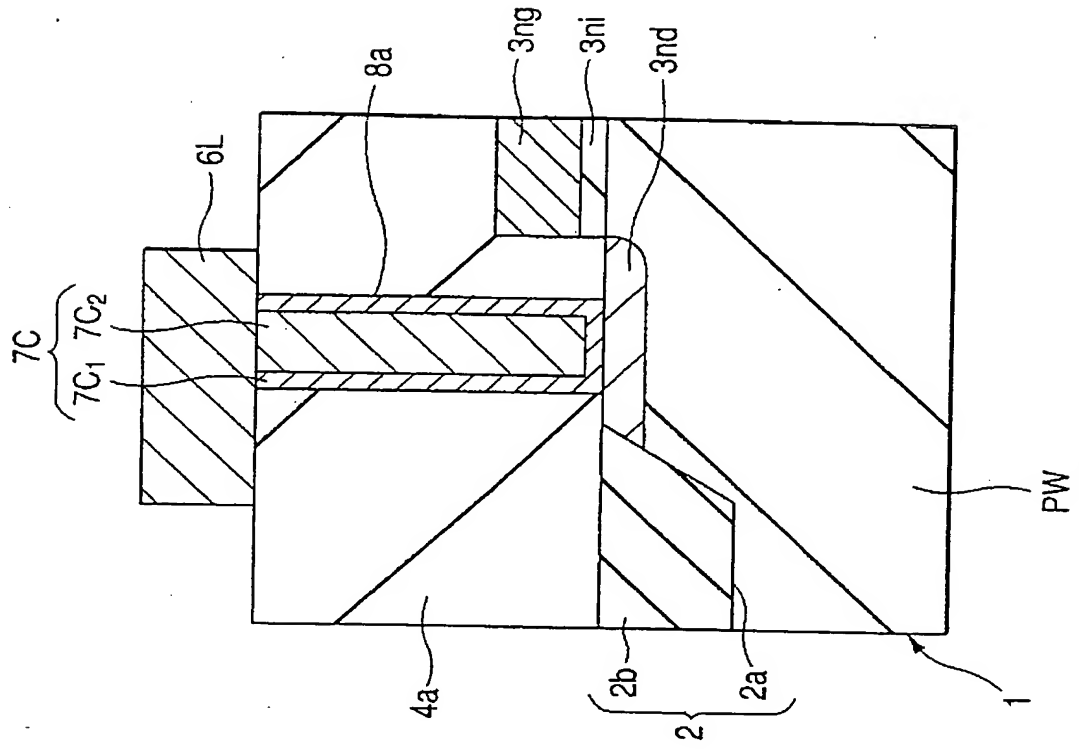


第 55 圖(B)

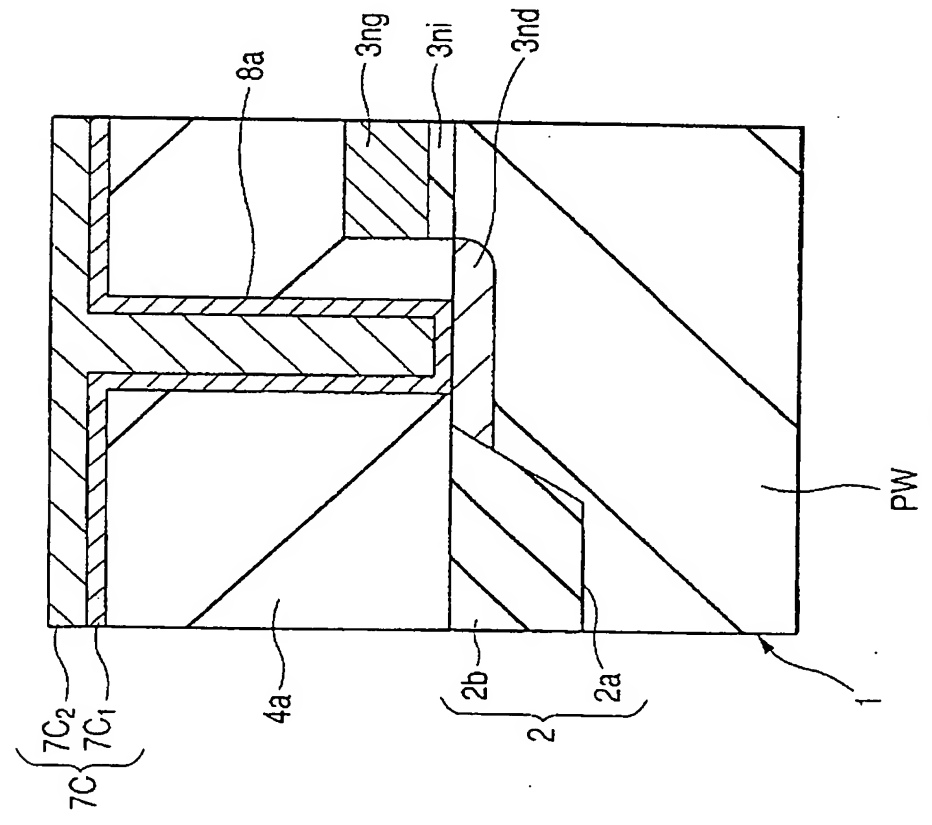




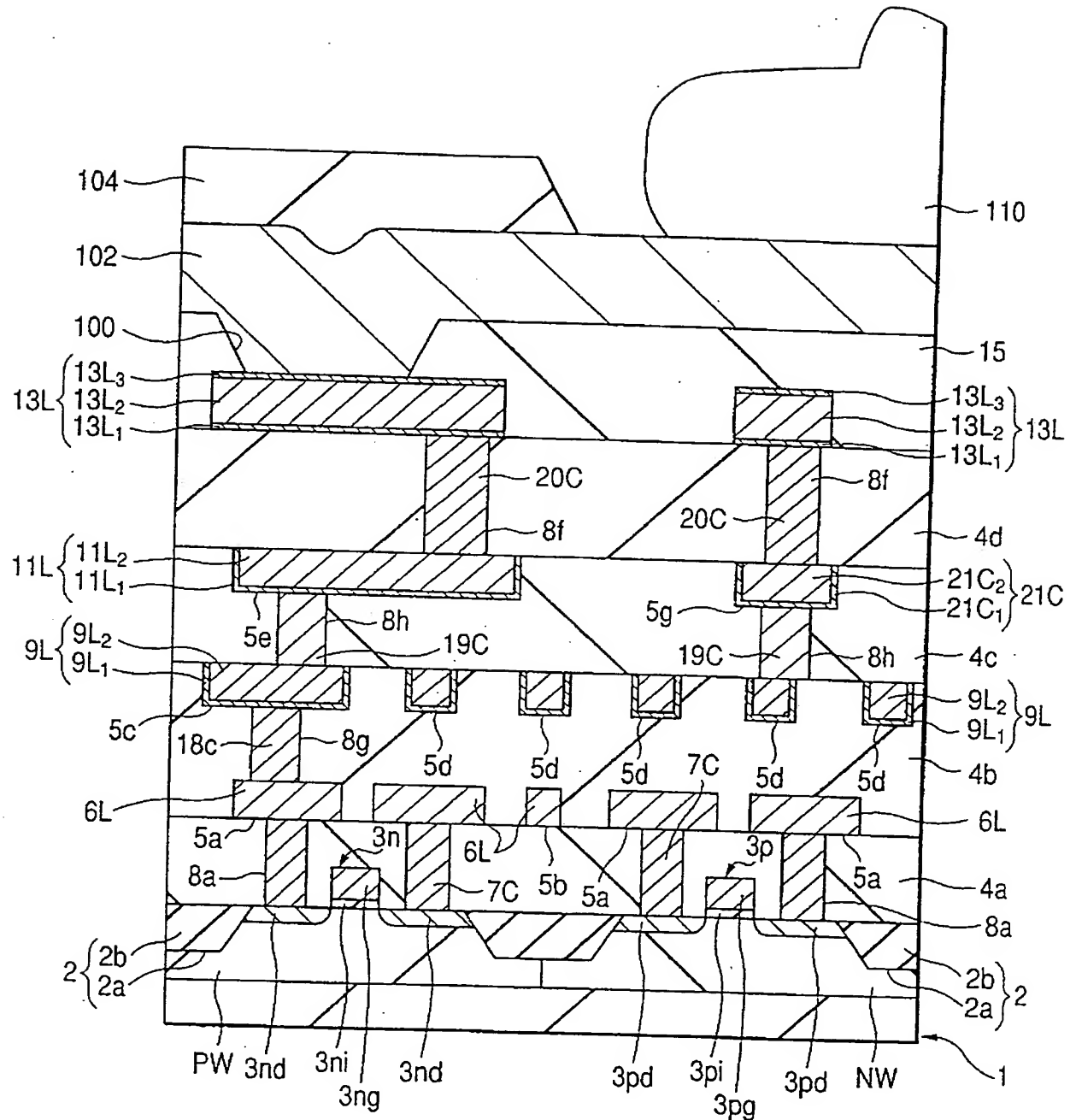
第 57 圖



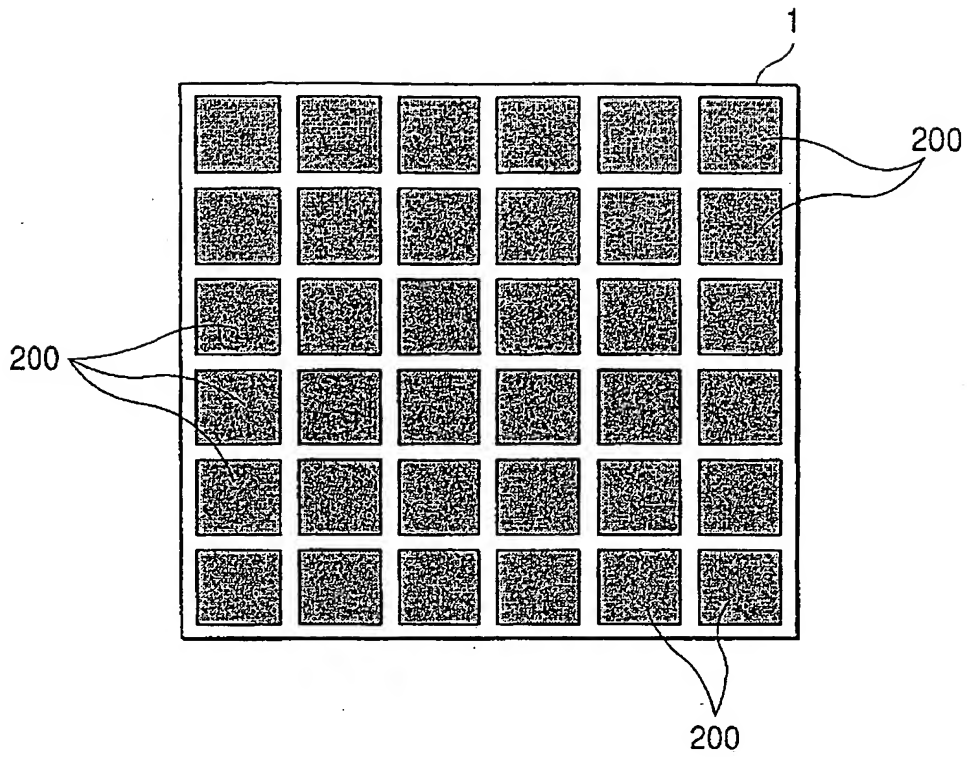
第 59 圖



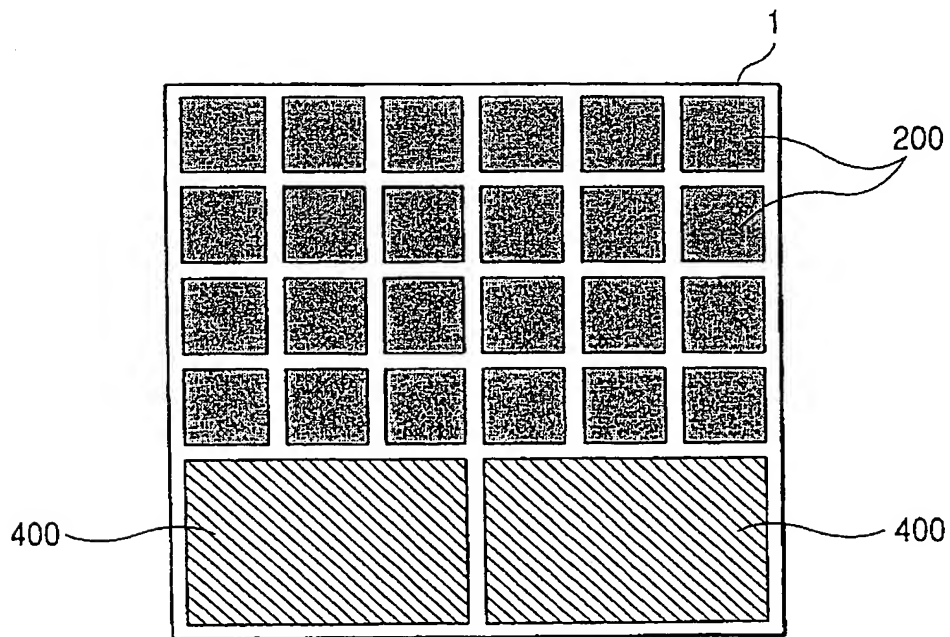
第 58 圖



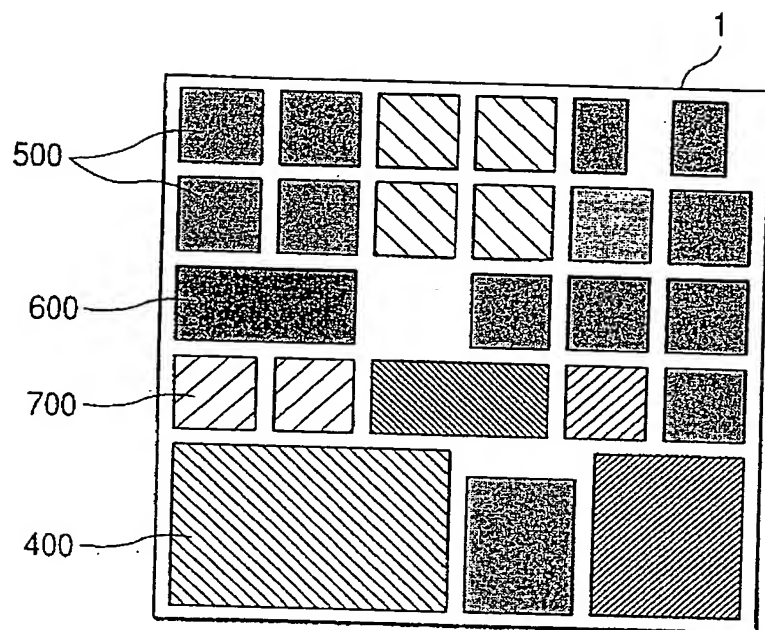
第 60 圖



第 61 圖



第 62 圖



第 63 圖



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**